

PATENT ABSTRACTS OF JAPAN

(11) Publication number :

2004-046210

(43) Date of publication of application : 12.02.2004

(51)Int.Cl. G09F 9/30
H05B 33/12
H05B 33/14
H05B 33/22
H05B 33/26

(21) Application number : 2003-209459

(71)Applicant : SEIKO EPSON CORP

(22) Date of filing : 28.08.2003

(72) Inventor : YUDASAKA KAZUO

(30)Priority

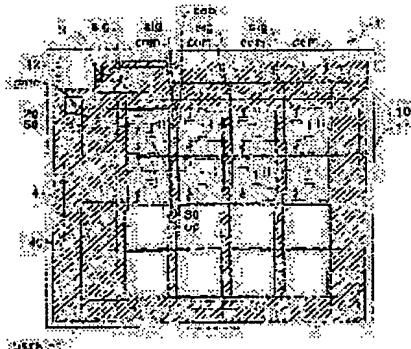
Priority number : 09225434 Priority date : 21.08.1997 Priority country : JP

(54) DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a display device which is easily connected to the outside and can be stably driven.

SOLUTION: The display device is provided with a plurality of pixels and includes a counter electrode provided for the plurality of pixels, and each pixel includes a pixel electrode, an organic semiconductor film provided between the pixel electrode and the counter electrode provided for the plurality of pixel electrodes, and a plurality of terminals. The plurality of terminals include terminals to be electrically connected to the counter electrode, and the counter electrode is not formed in parts where the plurality of terminals are provided.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

[rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]

It is the display equipped with two or more pixels,

The counterelectrode prepared to said two or more pixels is included,

Each of two or more of said pixels,

Pixel electrode,

Organic-semiconductor film prepared between said pixel electrode and said counterelectrode which counters said two or more pixel electrodes,

Two or more terminals are included,

Said two or more terminals contain the terminal electrically connected to said counterelectrode,

Said counterelectrode is not formed in the part in which two or more terminals' were prepared,

The display by which it is characterized.

[Claim 2]

It is the display equipped with two or more pixels,

The counterelectrode prepared to said two or more pixels is included,

Each of two or more of said pixels,

Pixel electrode,

The organic-semiconductor film prepared between said pixel electrode and said counterelectrode which counters said two or more pixel electrodes is included,

Said counterelectrode is not formed in the part in which the terminal's was prepared,

The display by which it is characterized.

[Claim 3]

Substrate,

Two or more terminals formed on said substrate,

Two or more pixel electrodes prepared corresponding to the display of said substrate,

It is a wrap counterelectrode about said display,

Organic-semiconductor film prepared between each of said counterelectrode and said two or more pixel electrodes,

The insulator layer for dividing said organic-semiconductor film is included,

Said two or more terminals are not covered with said insulator layer,

The display by which it is characterized.

[Claim 4]

In a display according to claim 3,

Said insulator layer is that the 2nd insulator layer formed on the 1st insulator layer and said 1st insulator layer is included,

The display by which it is characterized.

[Claim 5]

Substrate,

Two or more terminals formed on said substrate,

Two or more pixel electrodes prepared corresponding to the display of said substrate,

It is a wrap counterelectrode about said display,

Organic-semiconductor film prepared between each of said counterelectrode and said two or more pixel electrodes,

The insulator layer for dividing said organic-semiconductor film is included,

Said two or more terminals are not covered with said counterelectrode,

The display by which it is characterized.

[Claim 6]

Substrate,

Two or more scanning lines formed in said substrate,

Two or more data lines formed in said substrate,

Two or more terminals prepared in said substrate,

It has two or more pixels prepared corresponding to the intersection of said two or more scanning lines and said data line,

Each of two or more of said pixels,

The flow control circuit containing the transistor by which the gate electrode was connected to the scanning line which corresponds among said two or more scanning lines,

Pixel electrode,

It has the organic-semiconductor film prepared between the counterelectrodes which counter said pixel electrode,

Said organic-semiconductor film is divided by the insulator layer,

Said two or more terminals are not covered with said insulator layer,

The display by which it is characterized.

[Claim 7]

Substrate,

Two or more scanning lines formed in said substrate,

Two or more data lines formed in said substrate,

Two or more terminals prepared in said substrate,

It has two or more pixels prepared corresponding to the intersection of said two or more scanning lines and said data line,

Each of two or more of said pixels,

The flow control circuit containing the transistor by which the gate electrode was connected to the scanning line which corresponds among said two or more scanning lines,

Pixel electrode,

It has the organic-semiconductor film prepared between the counterelectrodes which counter said pixel electrode,

Said organic-semiconductor film is divided by the insulator layer,

Said two or more terminals are not covered with said counterelectrode,

The display by which it is characterized.

[Claim 8]

In a display according to claim 5 to 7,

Said insulator layer is that the 2nd insulator layer prepared on the 1st insulator layer and said 1st insulator layer is included,

The display by which it is characterized.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention]

This invention relates to the active-matrix mold display which carries out drive control of the thin film light emitting devices, such as EL (electroluminescence) component which emits light when a drive current flows on the organic-semiconductor film, or an LED (light emitting diode) component, by the thin film transistor (henceforth TFT).

[0002]

[Description of the Prior Art]

The display of the active-matrix mold using current control mold light emitting devices, such as an EL element or an LED component, is proposed. In order that each light emitting device used for this type of indicating equipment may carry out self-luminescence, unlike a liquid crystal display, it does not need a back light, and also has an advantage, like there are few angle-of-visibility dependencies.

[0003]

Drawing 22 is the block diagram of the active-matrix mold indicating equipment which used the organic thin film EL element of such a charge impregnation mold. Two or more data lines sig installed in the direction which crosses on the transparency substrate 10 to the installation direction of two or more scanning lines gate and this scanning line gate, and two or more pixels 7 formed in the shape of a matrix by two or more common feeders com to which it stands in a row in this data line sig, the data line sig, and the scanning line gate consist of active-matrix mold display 1A shown in this drawing.

[0004]

To the data line sig and the scanning line gate, the data side drive circuit 3 and the scan side drive circuit 4 are constituted.

[0005]

The flow control circuit 50 to which a scan signal is supplied through the scanning line gate, and the thin film light emitting device 40 which emits light based on the picture signal supplied from the data line sig through this flow control circuit 50 are constituted by each pixel 7. In the example shown here, the flow control circuit 50 consists of 1st TFT20 by which a scan signal is supplied to a gate electrode, retention volume cap holding the picture signal with which it is supplied from the data line sig through this 1st TFT20, and 2nd TFT30 by which the picture signal held with this retention volume cap is supplied to a gate electrode through the scanning line gate. The 2nd TFT30 and thin film light emitting device 40 are connected to a serial between Counterelectrodes op and the common feeders com which are mentioned later. This luminescence condition is held for this thin film light emitting device 40 during the predetermined period with retention volume cap while a drive current flows in and emits light from the

common feeder com, when 2nd TFT30 is turned on.

[0006]

In such active-matrix mold display 1A of a configuration, as shown in drawing 23 and drawing 24 (A), and (B), also in which pixel 7, the 1st TFT20 and 2nd TFT30 are formed using the island-like semi-conductor film. As for 1st TFT20, the gate electrode 21 is constituted as a part of scanning line gate. The data line sig connected with one side of a source drain field electrically through the KONTAKU hole of the 1st interlayer insulation film 51, and the drain electrode 22 has connected 1st TFT20 to another side electrically. The drain electrode 22 is installed towards the formation field of 2nd TFT30, and the gate electrode 31 of 2nd TFT30 has connected it to this installation part electrically through the contact hole of the 1st interlayer insulation film 51.

[0007]

The junction electrode 35 connected with one side of the source drain field of 2nd TFT30 electrically through the contact hole of the 1st interlayer insulation film 51, and the pixel electrode 41 of the thin film light emitting device 40 has connected with this junction electrode 35 electrically through the contact hole of the 2nd interlayer insulation film 52 at it.

[0008]

The pixel electrode 41 is formed independently every pixel 7 so that drawing 23 and drawing 24 (B), and (C) may show. The laminating of the organic-semiconductor film 43 and the counterelectrode op is carried out to this order at the upper layer side of the pixel electrode 41. Although the organic-semiconductor film 43 is formed every pixel 7, ranging over two or more pixels 7, it may be formed in the shape of a stripe. Counterelectrode op is formed all over the abbreviation not only for the display 11 but the transparence substrate 10 with which the pixel 7 is constituted.

[0009]

Again, in drawing 23 and drawing 24 (A), the common feeder com has connected with another side of the source drain field of 2nd TFT30 electrically through the contact hole of the 1st interlayer insulation film 51. To the installation part 36 of the gate electrode 31 of 2nd TFT30, the installation part 39 of the common feeder com counters on both sides of the 1st interlayer insulation film 51 as a dielectric film, and constitutes retention volume cap.

[0010]

However, in the aforementioned active-matrix mold indicating-equipment 1A, since it is different from a liquid crystal active-matrix mold indicating equipment and only the 2nd interlayer insulation film 52 intervenes between the data lines sig on the same transparence substrate 10, a big capacity is parasitic on the data line sig, and the counterelectrode op which counters the pixel electrode 41 has the large load of the data side drive circuit 3.

[0011]

Then, as shown in drawing 22 , drawing 23 and drawing 25 (A), (B), and (C), an invention-in-this-application person prepares a thick insulator layer (field where bank layer bank / lower left attached the slash of ** in the large pitch) between Counterelectrode op, the data line sig, etc., and proposes reducing the capacity which is parasitic on the data line sig. By combining and surrounding the formation field of the organic-semiconductor film 43 by this insulator layer (bank layer bank), in case the organic-semiconductor film 43 is formed from the liquefied ingredient (discharged liquid) breathed out from the ink jet head, discharged liquid is dammed up in the bank layer bank, and it proposes preventing that discharged liquid overflows into the side.

[0012]

However, when the whole bank layer bank is constituted from a thick inorganic material in adopting this structure, there is a trouble that membrane formation time amount is long. Moreover, in case patterning of the thick film which consists of an inorganic material is carried out, there is a possibility of becoming with some over etching and damaging the pixel electrode 41. On the other hand, when the bank layer bank is constituted from organic materials, such as a resist, there is a possibility that the organic-

semiconductor film 43 may deteriorate under the effect of the solvent component contained in the organic material which constitutes the bank layer bank from a part which touches the bank layer bank of the organic-semiconductor film 43.

[0013]

Moreover, if the thick bank layer bank is formed, since it will originate in existence of the bank layer bank and the big level difference bb will be formed, there is a trouble of being easy to disconnect the counterelectrode op formed in the upper layer of this bank layer bank in the part of the aforementioned level difference bb . If an open circuit arises in Counterelectrode op in such a level difference bb , the counterelectrode op of this part will be in an insulating condition from the surrounding counterelectrode op, and will generate the point defect or line defect of a display. Moreover, if an open circuit takes place to Counterelectrode op along the periphery edge of the wrap bank layer bank, between the counterelectrode op of a display 11 and terminals 12 will be in an insulating condition completely, and a display will completely become impossible [the front face of the data side drive circuit 3 or the scan side drive circuit 4].

[0014]

It is in offering the active-matrix mold display which can form a thick insulator layer in the surroundings of the organic-semiconductor film of the thin film light emitting device concerned suitably, without the technical problem of this invention damaging a thin film light emitting device in view of the above trouble.

[0015]

Moreover, even if the technical problem of this invention forms a thick insulator layer in the surroundings of the organic-semiconductor film and stops parasitic capacitance etc., it is to offer the active-matrix mold display which an open circuit etc. does not generate in the counterelectrode formed in the upper layer of this thick insulator layer.

[0016]

[Means for Solving the Problem]

The 1st display of this invention is a display equipped with two or more pixels, and the counterelectrode prepared to said two or more pixels is included. Each of two or more of said pixels The organic-semiconductor film prepared between the pixel electrode, and said pixel electrode and said counterelectrode which counters said two or more pixel electrodes, and two or more terminals are included. Said two or more terminals Said counterelectrode is characterized by not being formed in the part in which two or more terminals were prepared including the terminal electrically connected to said counterelectrode.

[0017]

The 2nd display of this invention is a display equipped with two or more pixels, and said counterelectrode is characterized by not being formed in the part in which the terminal was prepared including the organic-semiconductor film with which each of two or more of said pixels was prepared between the pixel electrode, and said pixel electrode and said counterelectrode which counters said two or more pixel electrodes including the counterelectrode prepared to said two or more pixels.

[0018]

Two or more terminals with which the 3rd display of this invention was formed on the substrate and said substrate, Two or more pixel electrodes prepared corresponding to the display of said substrate, and said display A wrap counterelectrode, Said two or more terminals are characterized by not being covered at said insulator layer including the insulator layer for preparing between each of said counterelectrode and said two or more pixel electrodes, and dividing the *** organic-semiconductor film and said organic-semiconductor film.

[0019]

As for said insulator layer, in the above-mentioned display, it is desirable that the 2nd insulator layer formed on the 1st insulator layer and said 1st insulator layer is included.

[0020]

Two or more terminals with which the 4th display of this invention was formed on the substrate and said substrate, Two or more pixel electrodes prepared corresponding to the display of said substrate, and said display A wrap counterelectrode, Said two or more terminals are characterized by not being covered with said counterelectrode including the insulator layer for preparing between each of said counterelectrode and said two or more pixel electrodes, and dividing the **** organic-semiconductor film and said organic-semiconductor film.

[0021]

Two or more scanning lines with which the 5th display of this invention was prepared in the substrate and said substrate, Two or more data lines formed in said substrate, and two or more terminals prepared in said substrate, It has two or more pixels prepared corresponding to the intersection of said two or more scanning lines and said data line. Each of two or more of said pixels The flow control circuit containing the transistor by which the gate electrode was connected to the scanning line which corresponds among said two or more scanning lines, It has the organic-semiconductor film prepared between the pixel electrode and the counterelectrode which counters said pixel electrode, said organic-semiconductor film is divided by the insulator layer, and said two or more terminals are characterized by not being covered at said insulator layer.

[0022]

The 6th display of this invention is a substrate, two or more scanning lines formed in said substrate, two or more data lines formed in said substrate, and two or more terminals prepared in said substrate, It has two or more pixels prepared corresponding to the intersection of said two or more scanning lines and said data line, Each of two or more of said pixels The flow control circuit containing the transistor by which the gate electrode was connected to the scanning line which corresponds among said two or more scanning lines, It has the organic-semiconductor film prepared between the pixel electrode and the counterelectrode which counters said pixel electrode, said organic-semiconductor film is divided by the insulator layer, and said two or more terminals are characterized by not being covered at said counterelectrode.

[0023]

As for said insulator layer, in the above-mentioned display, it is desirable that the 2nd insulator layer prepared on the 1st insulator layer and said 1st insulator layer is included.

[0024]

In order to solve the above-mentioned technical problem, in this invention, on a substrate Two or more scanning lines, Two or more data lines installed in the direction which crosses to the installation direction of this scanning line, It has the display which consists of two or more pixels formed in the shape of a matrix by this data line and said scanning line. Each of this pixel The flow control circuit containing the thin film transistor by which a scan signal is supplied to a gate electrode through said scanning line, The pixel electrode formed for every pixel, the organic-semiconductor film by which the laminating was carried out to the upper layer side of this pixel electrode, And it has a thin film light emitting device possessing the counterelectrode by which the laminating was carried out to the upper layer side of this organic-semiconductor film. In the active-matrix mold display with which said thin film light emitting device emits light based on the picture signal supplied through said flow control circuit from said data line The formation field of said organic-semiconductor film is divided by the insulator layer formed more thickly than the organic-semiconductor film concerned. This insulator layer It is characterized by having the lower layer side insulator layer which consists of an inorganic material formed more thickly than the organic-semiconductor film concerned, and the upper layer side insulator layer which consists of an organic material by which the laminating was carried out on this lower layer side insulator layer.

[0025]

In this invention, since it is in the condition of countering with the data line, the way things stand, a big capacity will be parasitic [a counterelectrode is formed all over a display at least, and] to the data line.

However, in this invention, since the thick insulator layer was made to intervene between the data line and a counterelectrode, it can prevent that capacity is parasitic on the data line. Consequently, since the load of a data side drive circuit can be reduced, low-power-izing or improvement in the speed of a display action can be attained. Moreover, since long membrane formation time amount is needed when its whole is constituted from film which consists of an inorganic material in forming a thick insulator layer, productivity falls. However, in this invention, only the lower layer side insulator layer which touches the organic-semiconductor film of a thin film light emitting device is constituted from an inorganic material, and the laminating of the upper layer side insulator layer constituted from organic materials, such as a resist, is carried out to the upper layer side. If it is the upper layer side insulator layer constituted from this organic material, since the thick film can be formed easily, productivity improves. And since this upper layer side insulator layer does not touch the organic-semiconductor film but the lower layer side insulator layer constituted from an inorganic material touches the organic-semiconductor film, the organic-semiconductor film does not deteriorate in response to the effect of an upper layer side insulator layer. So, a thin film light emitting device causes neither the decline in luminous efficiency, nor the fall of dependability.

[0026]

As for said upper layer side insulator layer, in this invention, it is desirable that the laminating is carried out to the inside field of the lower layer side insulator layer concerned with width of face narrower than said lower layer side insulator layer. If it is such two-step structure, since the upper layer side insulator layer which consisted of organic materials stops being able to touch easily due to the organic-semiconductor film, it can prevent degradation of the organic-semiconductor film more certainly.

[0027]

As long as it is such two-step structure, the both sides of a lower layer side insulator layer and an upper layer side insulator layer may consist of inorganic materials. Namely, two or more data lines installed in the direction which crosses to the installation direction of two or more scanning lines and this scanning line on the substrate with another gestalt of this invention, It has the display which consists of two or more pixels formed in the shape of a matrix by this data line and said scanning line. Each of this pixel The flow control circuit containing the thin film transistor by which a scan signal is supplied to a gate electrode through said scanning line, The pixel electrode formed for every pixel, the organic-semiconductor film by which the laminating was carried out to the upper layer side of this pixel electrode, And it has a thin film light emitting device possessing the counterelectrode by which the laminating was carried out to the upper layer side of this organic-semiconductor film. In the active-matrix mold display with which said thin film light emitting device emits light based on the picture signal supplied through said flow control circuit from said data line The formation field of said organic-semiconductor film is divided by the insulator layer formed more thickly than the organic-semiconductor film concerned. This insulator layer It is characterized by having the lower layer side insulator layer which consists of an inorganic material, and the upper layer side insulator layer which consists of an inorganic material by which the laminating was carried out to the inside field of the lower layer side insulator layer concerned with width of face narrower than this lower layer side insulator layer.

[0028]

Thus, if constituted, after forming the film which consists of an inorganic material which should constitute a lower layer side insulator layer and an upper layer side insulator layer, patterning of the upper layer side insulator layer is carried out first. In this case, since a lower layer side insulator layer functions as an etching stopper, a pixel electrode is not damaged even if there is some over etching. After finishing this patterning, patterning formation of the lower layer side insulator layer is carried out. In this case, since one layer of a lower layer side insulator layer is only etched, etching control is easy and over etching to the extent that a pixel electrode is damaged does not occur.

[0029]

Said flow control circuit is equipped with the 1st TFT by which said scan signal is supplied to a gate

electrode, and the 2nd TFT which a gate electrode connects to said data line through this 1st TFT in this invention, and, as for said data line and scanning line, it is [this 2nd TFT and said thin film light emitting device] desirable to have connected with a serial between the common feeder for the drive current supply sources constituted independently and said counterelectrode. That is, although it is also possible to constitute a flow control circuit from one TFT and retention volume, if display grace is carried out from a viewpoint of making it high, it is desirable to constitute the flow control circuit of each pixel from two TFT(s) and retention volume.

[0030]

In this invention, in case said insulator layer forms said organic-semiconductor film by the ink jet method in the field divided by the insulator layer concerned, it is desirable to use as a bank layer which prevents the flash of discharged liquid. As for said insulator layer, to it, it is desirable that thickness is 1 micrometers or more.

[0031]

As for the formation field of said flow control circuit, and the field with which it laps, in this invention, being covered by said insulator layer is desirable among the formation fields of said pixel electrode. That is, it is desirable to carry out opening of the aforementioned thick insulator layer only about a part for the flat part in which said flow control circuit is not formed among the formation fields of said pixel electrode, and to form the organic-semiconductor film only in the inside. Thus, if constituted, the display unevenness resulting from thickness dispersion of the organic-semiconductor film can be prevented. Moreover, such a problem can be prevented, although the drive current of a thin film light emitting device will concentrate there and the dependability of a thin film light emitting device will fall, when the thin part of thickness is in the organic-semiconductor film. Furthermore, in the field which laps with a flow control circuit even if the pixel electrode is formed, even if a drive current flows between counterelectrodes and the organic-semiconductor film emits light to it, this light will be interrupted by the flow control circuit and will not contribute to a display. The drive current which flows on the organic-semiconductor film in the part which does not contribute to this display can be called reactive current seen from the field of a display.

[0032]

So, in this invention, if it is the former, the aforementioned thick insulator layer is formed in the part into which such the reactive current should flow, and it prevents that a drive current flows there. Consequently, since the current which flows to a common feeder can make it small, if width of face of the part and a common feeder is narrowed, as the result, luminescence area can be increased and display engine performance, such as brightness and a contrast ratio, can be raised.

[0033]

In this invention, if a radius of circle is given to a part for the corner to the field divided by said insulator layer, it can form in a flat-surface configuration with the radius of circle which does not have an angle in the organic-semiconductor film. If it is the organic-semiconductor film of such a configuration, since the drive current for a corner will not concentrate, generating of faults, such as lack of a proof pressure in this part, can be prevented.

[0034]

In this invention, in forming said organic-semiconductor film in the shape of a stripe The field where said lower layer side insulator layer laps with the formation field of said flow control circuit among the formation fields of said pixel electrode among said insulator layers, While forming so that said data line, said common feeder, and said scanning line may be covered Said upper layer side insulator layer is formed in the shape of a stripe along with said data line, and forms said organic-semiconductor film for example, by the ink jet method in the field divided in the shape of a stripe by this upper layer side insulator layer.

[0035]

Thus, since the flow control circuit is covered by the lower layer side insulator layer when constituted,

only the organic-semiconductor film formed only in a part for the flat part of a pixel electrode among each pixel contributes to luminescence. That is, the thin film light emitting device will be formed only in a part for the flat part of a pixel electrode. So, the organic-semiconductor film is formed by fixed thickness, and does not cause display unevenness. Moreover, since it prevents that a drive current flows into the part which does not contribute to a display by the lower layer side insulator layer, the effectiveness that it can prevent that a useless current flows is in a common feeder.

[0036]

Furthermore, if constituted in this way, the part with which said lower layer side insulator layer and said upper layer side insulator layer lap among said insulator layers can be used as a bank layer which prevents the flash of discharged liquid, in case said organic-semiconductor film is formed by the ink jet method. As for the part with which said lower layer side insulator layer and said upper layer side insulator layer lap, in using as such a bank layer, it is desirable to set thickness to 1 micrometers or more.

[0037]

Moreover, as for said insulator layer, in this invention, it is desirable for the 1st to which the counterelectrode parts for every pixel are connected through a part for a flat part without the level difference resulting from the insulator layer concerned to have broken off, and to have the part. In this invention, when said insulator layer is formed thickly, this insulator layer has a possibility that an open circuit may generate the counterelectrode which forms a big level difference and is formed in that upper layer side.

[0038]

However, the 1st breaks off to the position of a thick insulator layer, a part is constituted from this invention, and this part is made flat. Therefore, since it has connected electrically certainly through a part for the flat part which the 1st of an insulator layer breaks off and is equivalent to a part even if it disconnects in this part with the level difference resulting from an insulator layer, since the counterelectrode for every field is electrically connected through the part formed in a part for a flat part, the fault of an open circuit of an opposite substrate does not occur. So, in a active-matrix mold display, since an open circuit does not occur in the counterelectrode formed in the upper layer of an insulator layer even if it forms a thick insulator layer in the surroundings of the organic-semiconductor film and stops parasitic capacitance etc., the display quality and reliability of a active-matrix mold display can be improved.

[0039]

When the surroundings of the formation field of said organic-semiconductor film are surrounded by forming said insulator layer along with said data line and said scanning line in this invention, it is desirable for said 1st [the] to break off into the part which corresponds between the pixels which adjoin each other in the direction between the pixels which adjoin each other in the installation direction of said scanning line, or of these both sides, and to constitute a part between the pixels which adjoin each other in the installation direction of said data line.

[0040]

Moreover, said insulator layer may be installed in the shape of a stripe along with said data line, and in this case, said 1st [the] breaks off at one [at least] edge of this installation direction, and it may constitute a part.

[0041]

The data side drive circuit which supplies a data signal to the perimeter of said display through said data line in this invention, And while having the scan side drive circuit which supplies a scan signal through said scanning line and forming said insulator layer also in the upper layer side of this scan side drive circuit and said data side drive circuit As for the insulator layer concerned, it is desirable for the 2nd which connects said counterelectrode to the location which corresponds between the formation field of said scan side drive circuit and the formation field of said data side drive circuit through a part for a flat

part without the level difference which originates a said display and substrate periphery side in the insulator layer concerned to have broken off, and to have the part. Thus, if constituted, even if an open circuit occurs the front face of a data side drive circuit or a scan side drive circuit in a counterelectrode along the periphery edge of a wrap insulator layer, the counterelectrode by the side of a display and the counterelectrode by the side of a substrate periphery are connected through a part for a flat part without the level difference resulting from this insulator layer, and the electrical installation between the counterelectrode by the side of a display and the counterelectrode by the side of a substrate periphery can be secured.

[0042]

In this invention, you may be any of a configuration of that only the upper layer side insulator layer has broken off among said lower layer side insulator layer which constitutes the configuration in which the both sides of said said lower layer side insulator layer which breaks off and constitutes said insulator layer from a part, and said upper layer side insulator layer have broken off, or said insulator layer, and said upper layer side insulator layer.

[0043]

[The gestalt of operation of invention]

The gestalt of operation of this invention is explained with reference to a drawing. In addition, in the following explanation, the same sign is given to the part which is common in the component explained with reference to drawing 22 thru/or drawing 25.

[The gestalt 1 of operation]

(Whole configuration)

Drawing 1 is the block diagram showing typically the layout of the whole active-matrix mold indicating equipment. The top view which drawing 2 extracts one of the pixels constituted by it, and is shown, drawing 3 (A), (B), and (C) are the A-A' sectional views and B-B' sectional view and C-C' sectional views of drawing 2, respectively.

[0044]

Let the central part of the base slack transparence substrate 10 be a display 11 in the active-matrix mold display 1 shown in drawing 1. The data side drive circuit 3 which outputs a picture signal to the edge of the data line sig among the periphery parts of the transparence substrate 10 is constituted, and the scan side drive circuit 4 which outputs a scan signal is constituted by the edge of the scanning line gate. A complementary type TFT is constituted by TFT of N type, and TFT of P type, and this complementary type TFT constitutes the shift register circuit, the level-shifter circuit, the analog switch circuit, etc. from these drive circuits 3 and 4 by them. Two or more data lines sig installed in the direction which crosses on the transparence substrate 10 to the installation direction of two or more scanning lines gate and this scanning line gate like the active-matrix substrate of a liquid crystal active-matrix mold indicating equipment, and two or more pixels 7 formed in the shape of a matrix by the data line sig and the scanning line gate consist of displays 11.

[0045]

The flow control circuit 50 to which a scan signal is supplied through the scanning line gate, and the thin film light emitting device 40 which emits light based on the picture signal supplied from the data line sig through this flow control circuit 50 are constituted by each pixel 7. In the example shown here, the flow control circuit 50 consists of 1st TFT20 by which a scan signal is supplied to a gate electrode, retention volume cap holding the picture signal with which it is supplied from the data line sig through this 1st TFT20, and 2nd TFT30 by which the picture signal held with this retention volume cap is supplied to a gate electrode through the scanning line gate. The 2nd TFT30 and thin film light emitting device 40 are connected to a serial between Counterelectrodes op and the common feeders com which are mentioned later. In addition, about retention volume cap, you may form between the scanning line gate besides the structure formed between the common feeders com, and the capacity line formed in juxtaposition.

[0046]

In such a active-matrix mold display 1 of a configuration, as shown in drawing 2 and Fig. 3 (A), and (B), also in which pixel 7, the 1st TFT20 and 2nd TFT30 are formed using the island-like semi-conductor film (silicon film).

[0047]

As for 1st TFT20, the gate electrode 21 is constituted as a part of scanning line gate. The data line sig connected with one side of a source drain field electrically through the KONTAKU hole of the 1st interlayer insulation film 51, and the drain electrode 22 has connected 1st TFT20 to another side electrically. The drain electrode 22 is installed towards the formation field of 2nd TFT30, and the gate electrode 31 of 2nd TFT30 has connected it to this installation part electrically through the contact hole of the 1st interlayer insulation film 51.

[0048]

The junction electrode 35 by which coincidence formation was carried out with the data line sig through the contact hole of the 1st interlayer insulation film 51 connected with one side of the source drain field of 2nd TFT30 electrically, and the transparent pixel electrode 41 which consists of ITO (Indium Tin Oxide) film of the thin film light emitting device 40 through the contact hole of the 2nd interlayer insulation film 52 has connected with this junction electrode 35 electrically.

[0049]

The pixel electrode 41 is formed independently every pixel 7 so that drawing 2 and drawing 3 (B), and (C) may show. The laminating of the counterelectrode op which consists of metal membranes, such as the organic-semiconductor film 43, such as polyphenylene vinylene (PPV), and lithium content aluminum, and calcium, is carried out to this order, and the thin film light emitting device 40 is constituted at the upper layer side of the pixel electrode 41. In the example shown here, although formed in each pixel 7, the organic-semiconductor film 43 may be formed in the shape of a stripe ranging over two or more pixels 7 so that it may mention later. Counterelectrode op is formed in the display 11 whole and the field except the perimeter of a part in which the terminal 12 is formed at least. This terminal 12 contains the terminal electrically connected to the counterelectrode op formed using wiring (not shown) by which coincidence formation was carried out with Counterelectrode op.

[0050]

The structure in which the both sides of the structure which prepared the hole-injection layer and raised luminous efficiency (rate of a hole injection) as a thin film light emitting device 40, the structure which prepared the electron injection layer and raised luminous efficiency (electron injection efficiency), a hole-injection layer, and an electron injection layer were formed is also employable.

[0051]

In drawing 2 and drawing 3 (A), the common feeder com has connected with another side of the source drain field of 2nd TFT30 electrically through the contact hole of the 1st interlayer insulation film 51 again. To the installation part 36 of the gate electrode 31 of 2nd TFT30, the installation part 39 of the common feeder com counters on both sides of the 1st interlayer insulation film 51 as a dielectric film, and constitutes retention volume cap. You may form between the scanning line gate besides the structure formed between the common feeders com about retention volume cap, and the capacity line formed in juxtaposition, and retention volume cap may be constituted using the drain field of 1st TFT20, and the gate electrode 31 of 2nd TFT30.

[0052]

Thus, in the constituted active-matrix mold display 1, if it is chosen by the scan signal and 1st TFT20 is turned on, while the picture signal from the data line sig will be impressed to the gate electrode 31 of 2nd TFT30 through 1st TFT20, a picture signal is written in retention volume cap through 1st TFT20. Consequently, if 2nd TFT30 is turned on, an electrical potential difference will be impressed by using Counterelectrode op and the pixel electrode 41 as a negative electrode and a positive electrode, respectively, and the current (drive current) which flows on the organic-semiconductor film 43 in the field in which applied voltage exceeded the threshold electrical potential difference will increase rapidly.

Therefore, a light emitting device 40 emits light as an electroluminescent element or an LED component, it is reflected by Counterelectrode op, and the light of a light emitting device 40 penetrates the transparent pixel electrode 41 and the transparency substrate 10, and outgoing radiation is carried out. The drive current for performing such luminescence will not flow, if 2nd TFT30 is turned off in order to flow Counterelectrode op, the organic-semiconductor film 43, the pixel electrode 41, 2nd TFT30, and the current path that consists of common feeders com.

[0053]

However, since the gate electrode of 2nd TFT30 is held at the potential which is equivalent to a picture signal with retention volume cap even if 1st TFT20 is turned off, 2nd TFT30 is still an ON state. So, a drive current continues flowing to a light emitting device 40, and this pixel is still a lighting condition. New image data is written in retention volume cap, and this condition is maintained until 2nd TFT30 is turned off.

(Structure of a bank layer)

In the constituted active-matrix mold display 1 thus, with this gestalt In order to prevent that a big capacity is parasitic on the data line sig, as it is shown in drawing 1 , drawing 2 and drawing 3 (A), (B), and (C) Along with the data line sig and the scanning line gate, an insulator layer (field where bank layer bank / lower left attached the slash of a lot in the large pitch by one slash of ** or 2) thicker than the organic-semiconductor film 41 is prepared, and Counterelectrode op is formed in the upper layer side of this bank layer bank. That is, since the 2nd interlayer insulation film 52 and the thick bank layer bank intervene between the data line sig and Counterelectrode op, the capacity which is parasitic on the data line sig is very small. So, the load of the drive circuits 3 and 4 can be reduced and low-power-izing or improvement in the speed of a display action can be attained.

[0054]

Here, the bank layer bank consists of a lower layer side insulator layer 61 which consists of inorganic materials, such as silicon oxide formed more thickly than the organic-semiconductor film 41 or a silicon nitride, and an upper layer side insulator layer 62 which consists of organic materials, such as a resist by which the laminating was carried out on this lower layer side insulator layer 61, or polyimide film. For example, the thickness of the organic-semiconductor film 41, the lower layer side insulator layer 61, and the upper layer side insulator layer 62 is 0.05 micrometers – 0.2 micrometers, 0.2 micrometers – 1.0 micrometers, and 1 micrometer – 2 micrometers, respectively.

[0055]

If it is such two-layer structure, since the upper layer side insulator layer 62 consists of a resist with easy forming the thick film, and polyimide film, it should constitute only the lower layer side insulator layer 61 from an inorganic material. therefore, the film which consists of an inorganic material over long time amount unlike the case where the whole bank layer bank is constituted from an inorganic material – – PECVD — it is not necessary to form membranes by law etc. So, productivity can be raised for the active-matrix mold display 1.

[0056]

Moreover, although the organic-semiconductor film 41 has touched in the lower layer side insulator layer 61 which consists of an inorganic material if it is this two-layer structure, it has not touched in the upper layer side insulator layer 62 which consists of an organic material. So, since the organic-semiconductor film 41 does not deteriorate in response to the effect of the upper layer side insulator layer 62 which consists of organic materials, in the thin film light emitting device 40, neither the decline in luminous efficiency nor the fall of dependability occurs.

[0057]

Moreover, since the bank layer bank is formed also in the boundary region (outside field of a display 11) of the transparency substrate 10 so that drawing 1 may show, the data side drive circuit 3 and the scan side drive circuit 4 are also covered with the bank layer bank. Counterelectrode op needs to be formed in a display 11 at least, and does not need to be formed in a drive circuit field. However, since

Counterelectrode op is usually formed by the mask spatter method, doubling precision may be bad and Counterelectrode op and a drive circuit may lap. However, this type

In voice, even if it is in the condition that Counterelectrode op laps to the formation field of these drive circuits, the bank layer bank intervenes between the wiring layer of a drive circuit, and Counterelectrode op. So, since it can prevent that capacity is parasitic on the drive circuits 3 and 4, the load of the drive circuits 3 and 4 can be reduced and low-power-izing or improvement in the speed of a display action can be attained.

[0058]

Furthermore, the bank layer bank is formed also in the field which laps with the junction electrode 35 of the flow control circuit 50 among the formation fields of the pixel electrode 41 with this gestalt. For this reason, the organic-semiconductor film 43 is not formed in the field which laps with the junction electrode 35. That is, since the organic-semiconductor film 43 is formed only in a flat part among the formation fields of the pixel electrode 41, the organic-semiconductor film 43 is formed by fixed thickness, and does not cause display unevenness. Moreover, such a problem can be prevented, although the drive current of the thin film light emitting device 40 will concentrate there and the dependability of the thin film light emitting device 40 will fall, when the thin part of thickness is in the organic-semiconductor film 43.

[0059]

Furthermore, if there is no bank layer bank in the field which laps with the junction electrode 35, also in this part, a drive current will flow between Counterelectrodes op and the organic-semiconductor film 43 will emit light to it. However, this light is inserted between the junction electrode 35 and Counterelectrode op, and outgoing radiation is not carried out outside, and it does not contribute to a display. The drive current which flows in the part which does not contribute to this display can be called reactive current seen from the field of a display. However, with this gestalt, since it prevents that form the bank layer bank in the part into which such the reactive current should flow, and a drive current flows there if it is the former, it can prevent that a useless current flows to the common feeder com. So, the width of face of the common feeder com may be narrow that much. As the result, luminescence area can be increased and display engine performance, such as brightness and a contrast ratio, can be raised.

[0060]

In addition, if the bank layer bank is formed by the black resist, the bank layer bank will function as a black matrix, and its grace of displays, such as a contrast ratio, will improve. That is, in the active-matrix mold display 1 concerning this gestalt, since Counterelectrode op is formed in the front-face side of the transparency substrate 10 all over a pixel 7, the reflected light in Counterelectrode op reduces a contrast ratio. However, if the bank layer bank which bears the function to prevent parasitic capacitance is constituted from a black resist, since the bank layer bank will function also as a black matrix and the reflected light from Counterelectrode op will be interrupted, a contrast ratio improves.

(The manufacture approach of a active-matrix mold display)

Thus, since the formed bank layer bank is constituted so that the formation field of the organic-semiconductor film 43 may be surrounded, in the production process of a active-matrix mold indicating equipment, in case the organic-semiconductor film 43 is formed from the liquefied ingredient (discharged liquid) breathed out from the ink jet head, discharged liquid is dammed up, and it prevents that discharged liquid overflows into the side. In addition, in the manufacture approach of the active-matrix mold display 1 explained below, since the process until it manufactures the 1st TFT20 and 2nd TFT30 on the transparency substrate 10 is the same as that of the process and abbreviation which manufacture the active-matrix substrate of an active matrix liquid crystal display, with reference to drawing 3 (A), (B), and (C), only the outline is explained briefly.

[0061]

First, after forming the substrate protective coat (not shown) which thickness becomes from the silicon

oxide which is about 2000–5000A by the plasma–CVD method by making TEOS (tetra–ethoxy silane), oxygen gas, etc. into material gas to the transparency substrate 10 if needed, the semi–conductor film which thickness becomes from the amorphous silicon film which is about 300–700A by the plasma–CVD method is formed in the front face of a substrate protective coat. Next, to the semi–conductor film which consists of amorphous silicon film, crystallization processes, such as laser annealing or a solid phase grown method, are performed, and the semi–conductor film is crystallized on the polish recon film. [0062]

Next, the gate dielectric film 57 which patterning of the semi–conductor film is carried out, it considers as the island–like semi–conductor film, and thickness becomes from the silicon oxide or the nitride which is about 600–1500A by the plasma–CVD method to the front face by making TEOS (tetra–ethoxy silane), oxygen gas, etc. into material gas is formed.

[0063]

Next, after forming the electric conduction film which consists of metal membranes, such as aluminum, a tantalum, molybdenum, titanium, and a tungsten, by the spatter, patterning is carried out and the installation parts 36 of the gate electrodes 21 and 31 and the gate electrode 31 are formed (gate electrode formation process). The scanning line gate is formed at this process.

[0064]

In this condition, high–concentration phosphorus ion is driven in and a source drain field is formed in self align to the gate electrodes 21 and 31. In addition, the part into which an impurity was not introduced serves as a channel field.

Next, after forming the 1st interlayer insulation film 51, each contact hole is formed, next the installation parts 39 of data–line sig, the drain electrode 22, the common feeder com, and the common feeder com and the junction electrode 35 are formed. Consequently, 1st TFT20, 2nd TFT30, and retention volume cap are formed.

[0065]

Next, the 2nd interlayer insulation film 52 is formed and contact hole formation is carried out at the part which is equivalent to this interlayer insulation film at the junction electrode 35. Next, after forming the ITO film in the whole front face of the 2nd interlayer insulation film 52, patterning is carried out and the pixel electrode 41 connected electrically is formed in the source drain field of 2nd TFT30 every pixel 7 through a contact hole.

[0066]

next, the front–face side of the 2nd interlayer insulation film 52 — PECVD — after forming the film (inorganic film for forming the lower layer side insulator layer 61) which consists of an inorganic material by law etc., along with the scanning line gate and the data line sig, a resist (upper layer side insulator layer 62) is formed. Patterning is performed to the film which changes from an inorganic material to after an appropriate time by using this resist as a mask, and the lower layer side insulator layer 61 is formed. Thus, since the lower layer side insulator layer 61 is thin even in case the lower layer side insulator layer 61 is formed by patterning, over etching does not happen. Therefore, the pixel electrode 41 is not damaged.

[0067]

If such an etching process is performed, the film which consists of an inorganic material will remain along with the scanning line gate and the data line sig, and the lower layer side insulator layer 61 will be formed. Thus, the bank layer bank of the two–layer structure which consists of a lower layer side insulator layer 61 and an upper layer side insulator layer 62 is formed. At this time, the resist part which it leaves along with the data line sig presupposes that it is broad so that the common feeder com may be covered. Consequently, the field which should form the organic–semiconductor film 43 of a light emitting device 40 is surrounded by the bank layer bank.

[0068]

Next, each organic–semiconductor film 43 corresponding to R, G, and B is formed using the ink jet

method in the field divided in the shape of a matrix in the bank layer bank. To the inside field of the bank layer bank, from an ink jet head, the liquefied ingredient (a precursor/discharged liquid) for constituting the organic-semiconductor film 43 is fixed to it by discharge, it is fixed to it in the inside field of the bank layer bank, and the organic-semiconductor film 43 is formed in it. Here, since the upper layer side insulator layer 62 of the bank layer bank consists of a resist and polyimide film, it is water repellence. On the other hand, since the precursor of the organic-semiconductor film 43 uses the solvent of a hydrophilic property, the spreading field of the organic-semiconductor film 43 does not overflow into the pixel 7 which is specified certainly and adjoins by the bank layer bank. So, the organic-semiconductor film 43 etc. can be formed only in a predetermined field.

[0069]

In this process, in order that the precursor breathed out from the ink jet head may rise in thickness of about 2 micrometers thru/or about 4 micrometers under the effect of surface tension, the thickness of about 1 micrometer thru/or about 3 micrometers is required for the bank layer bank. Although the precursor breathed out from the ink jet head is in the condition of touching the upper layer side insulator layer 62, in this condition, since a solvent component is removed from a precursor after performing 100 degrees C – 150 degrees C heat treatment, the thickness of the organic-semiconductor film 43 after being established inside the bank layer bank is about 0.05 micrometers to about 0.2 micrometers. So, in this condition, the organic-semiconductor film 43 is not in contact with the upper layer side insulator layer 62.

[0070]

In addition, if the septum which consists of a bank layer bank beforehand is 1 micrometers or more in height, even if the bank layer bank is not water repellence, the bank layer bank will fully function as a septum. If this thick bank layer bank is formed, it replaces with the ink jet method, and even when forming the organic-semiconductor film 43 by the applying method, the formation field can be specified.

[0071]

Counterelectrode op is formed in after an appropriate time all over the abbreviation for the transparency substrate 10.

According to such a manufacture approach, since each organic-semiconductor film 43 corresponding to R, G, and B can be formed in the predetermined field using the ink jet method, the full color active-matrix mold display 1 can be manufactured for high productivity.

[0072]

In addition, although TFT is formed also in the data side drive circuit 3 shown in drawing 1, or the scan side drive circuit 4, these TFT(s) use all or a part of processes which forms TFT for the aforementioned pixel 7, and are performed. So, TFT which constitutes a drive circuit will also be formed between the same layers as TFT of a pixel 7. Moreover, about said 1st TFT20 and 2nd TFT30, since N type and both sides can form TFT by the well-known approach even if P type and one side are which such combination in N type, although any of P type are sufficient as another side, both sides omit the explanation.

[The gestalt 2 of operation]

Drawing 4 (A), (B), and (C) are the sectional views in the location equivalent to the A-A' line and B-B'line and C-C' line of drawing 2 in the active-matrix mold display of this gestalt, respectively. In addition, since the configuration with fundamental this gestalt and gestalt 1 of operation is the same, the sign same into a common part is given to drawing 4, and those detailed explanation is omitted. Moreover, since the formation field of the bank layer bank in the active-matrix mold indicating equipment of this gestalt is the same as that of the gestalt 1 of operation, similarly with reference to drawing 1 and drawing 2, it explains.

[0073]

In order to prevent that a big capacity is parasitic on the data line sig also with this gestalt, As shown in drawing 1 , drawing 2 , drawing 4 (A), (B), and (C), the data line sig and the scanning line gate are met.

An insulator layer (field where bank layer bank / lower left attached the slash of a lot in the large pitch by one slash of ** or 2) thicker than the organic-semiconductor film 41 is prepared, and Counterelectrode op is formed in the upper layer side of this bank layer bank.

[0074]

Here, the bank layer bank is the same as that of the gestalt 1 of operation at the point which consists of a lower layer side insulator layer 61 which consists of inorganic materials, such as silicon oxide formed more thickly than the organic-semiconductor film 41 or a silicon nitride, and an upper layer side insulator layer 62 which consists of organic materials, such as a resist by which the laminating was carried out on this lower layer side insulator layer 61, or polyimide film.

[0075]

With this gestalt, about the upper layer side insulator layer 61 which consists of an organic material, the laminating is carried out to the inside field of this lower layer side insulator layer 61 with width of face narrower than the lower layer side insulator layer 61 which consists of an inorganic material so that drawing 4 (A), (B), and (C) may show. For example, the width of face of the lap part of the upper layer side insulator layer 61 and the pixel electrode 41 is 1 micrometer – 3 micrometers, and the gap of 1 micrometer – 5 micrometers of one side is between the lower layer side insulator layer 61 and the upper layer side insulator layer 62.

[0076]

For this reason, the bank layer bank has the two-step structure where the laminating of the lower layer side insulator layer 61 from which width of face differs, and the upper layer side insulator layer 61 was carried out. If it is such two-step structure, since the upper layer side insulator layer 62 consists of a resist with easy forming the thick film, and polyimide film, it should constitute only the lower layer side insulator layer 61 from an inorganic material. therefore, the film which consists of an inorganic material over long time amount unlike the case where the thick whole bank layer bank is constituted from an inorganic material — PECVD — it is not necessary to form membranes by law etc. So, the productivity of the active-matrix mold display 1 can be raised.

[0077]

Moreover, although the organic-semiconductor film 41 has touched in the lower layer side insulator layer 61 which consists of an inorganic material if it is this two-step structure, it has not touched in the upper layer side insulator layer 62. And since the upper layer side insulator layer 62 is formed inside the lower layer side insulator layer 61, the part, the organic-semiconductor film 43, and the upper layer side insulator layer 62 cannot touch easily. So, it can prevent certainly that the organic-semiconductor film 41 deteriorates in response to the effect of the upper layer side insulator layer 62 which consists of organic materials, and neither the decline in luminous efficiency nor the fall of dependability occurs it by the thin film light emitting device 40.

[0078]

Other configurations are the same as that of the gestalt 1 of operation. Here, any pixel 7 is surrounded in the bank layer bank. For this reason, since each organic-semiconductor film 43 corresponding to R, G, and B can be formed in the predetermined field using the ink jet method, the same effectiveness as the gestalt 1 of operation — the full color active-matrix mold display 1 can be manufactured for high productivity — is done so.

[0079]

In forming the bank layer bank of such structure the front-face side of the 2nd interlayer insulation film 52 — PECV, after forming the film (inorganic film for forming the lower layer side insulator layer 61) which consists of an inorganic material by law etc. What is necessary is to remove the resist used for this patterning and just to form the narrow resist and the polyimide of width of face in after an appropriate time as an upper layer side insulator layer 62 from it at the upper layer of the lower layer side insulator layer 61, after leaving it along with the scanning line gate and the data line sig and forming the lower layer side insulator layer 61. Thus, since the lower layer side insulator layer 61 is thin even in

case the lower layer side insulator layer 61 is formed by patterning, over etching does not happen. Therefore, the pixel electrode 41 is not damaged.

[The gestalt 3 of operation]

The ingredient which constitutes the bank layer bank is only different from the gestalt 2 of operation, and the structure of the active-matrix mold indicating equipment 1 of this gestalt is the same with the gestalt 2 of operation. Therefore, the same sign is attached and illustrated about a common part, and those explanation is omitted. Moreover, with reference to drawing 1, drawing 2, and drawing 4, it explains like the gestalt 2 of operation.

[0080]

In order to prevent that a big capacity is parasitic on the data line sig also with this gestalt, As shown in drawing 1, drawing 2, drawing 4 (A), (B), and (C), the data line sig and the scanning line gate are met. An insulator layer (field where bank layer bank / lower left attached the slash of a lot in the large pitch by 1 of ** or 2) thicker than the organic-semiconductor film 41 is prepared, and Counterelectrode op is formed in the upper layer side of this bank layer bank.

[0081]

Here, the bank layer bank consists of a lower layer side insulator layer 61 which consists of inorganic materials, such as a silicon nitride formed more thickly than the organic-semiconductor film 41, and an upper layer side insulator layer 62 which consists of inorganic materials, such as silicon oxide by which the laminating was carried out on this lower layer side insulator layer 61. If it is such two-layer structure, since the organic-semiconductor film 43 is not in contact with an organic material, it does not deteriorate in response to the effect of an organic material. So, in the thin film light emitting device 40, neither the decline in luminous efficiency nor the fall of dependability occurs.

[0082]

Here, it has the width of face narrower than the lower layer side insulator layer 61 about the upper layer side insulator layer 61, and the laminating is carried out to the inside field of this lower layer side insulator layer 61. For this reason, the bank layer bank has the two-step structure where the laminating of the lower layer side insulator layer 61 from which width of face differs, and the upper layer side insulator layer 61 was carried out.

[0083]

After carrying out sequential formation of the inorganic material (a silicon nitride and silicon oxide) which should constitute the lower layer side insulator layer 61 and the upper layer side insulator layer 62 in forming the bank layer bank of this two-step structure, patterning of the upper layer side insulator layer 62 is carried out first. In this case, since the lower layer side insulator layer 61 functions as an etching stopper, even if there is some over etching, the pixel electrode 41 is not damaged. After finishing this patterning, patterning formation of the lower layer side insulator layer 61 is carried out. In this case, since one layer of the lower layer side insulator layer 61 is only etched, etching control is easy and over etching to the extent that the pixel electrode 41 is damaged does not occur.

[0084]

Other configurations are the same as that of the gestalten 1 and 2 of operation. Therefore, any pixel 7 is surrounded in the bank layer bank. For this reason, since each organic-semiconductor film 43 corresponding to R, G, and B can be formed in the predetermined field using the ink jet method, the same effectiveness as the gestalt 1 of operation — the full color active-matrix mold display 1 can be manufactured for high productivity — is done so.

[The modification of the gestalten 1, 2, and 3 of operation]

In addition, with the above-mentioned gestalt, since the bank layer bank was formed along with the data line sig and the scanning line gate, it was the configuration of having divided each pixel 7 in the shape of a matrix in the bank layer bank, but only by meeting the data line sig, the bank layer bank may be formed. Also in this case, since each organic-semiconductor film 43 corresponding to R, G, and B can be formed in the shape of a stripe using the ink jet method in the field divided in the shape of a stripe in the bank

layer bank, the full color active-matrix mold display 1 can be manufactured for high productivity.

[0085]

Moreover, although the amount of [of the field which the bank layer bank divided / each] corner had become a square shape with the above-mentioned gestalt, if a radius of circle is given there, it can form in a flat-surface configuration with the radius of circle which does not have an angle in the organic-semiconductor film 43. If it is the organic-semiconductor film 43 of such a configuration, since the drive current for a corner will not concentrate, generating of faults, such as lack of a proof pressure in this part, can be prevented.

[The gestalt 4 of operation]

It attaches and illustrates the same sign into a common part, and omits those explanation while explaining it with reference to drawing 1 similarly, since the fundamental structure of the active-matrix mold display 1 of this gestalt is the same as that of the gestalt 1 of operation thru/or 3.

[0086]

The top view which drawing 5 extracts one of the pixels constituted by the active-matrix mold display of this gestalt, and is shown, drawing 6 (A), (B), and (C) are the A-A' sectional views and B-B' sectional view and C-C' sectional views of drawing 5, respectively.

[0087]

With this gestalt, the lower layer side insulator layer 61 and the upper layer side insulator layer 62 are piled up partially, and a function which is different in each is demonstrated so that it may explain below. That is, as shown in drawing 1, two or more data lines sig installed in the direction which crosses to the installation direction of two or more scanning lines gate and this scanning line gate, and two or more pixels 7 formed in the shape of a matrix by two or more common feeders com to which it stands in a row in this data line sig, the data line sig, and the scanning line gate also consist of these gestalten.

[0088]

In this gestalt, as shown in drawing 5 and drawing 6, the lower layer side insulator layer 61 (field where the lower left attached the slash of a lot by two of **) is formed so that the formation field of the flow control circuit 50, the field with which it laps, the data line sig, the common feeder com, and the scanning line gate may be covered among the formation fields of the pixel electrode 41. On the other hand, the upper layer side insulator layer 62 (field where the lower left attached the slash of ** in the large pitch) is formed only in the part which meets the data line sig among the formation fields of the lower layer side insulator layer 61 in the shape of a stripe. Moreover, the organic-semiconductor film 43 is formed in the field divided in the shape of a stripe by this upper layer side insulator layer 62.

[0089]

Thus, the organic-semiconductor film 43 can be formed in the shape of a stripe, using the part with which the lower layer side insulator layer 61 and the upper layer side insulator layer 62 lap as a bank layer bank which prevents the flash of discharged liquid, in case the organic-semiconductor film 43 is formed by the ink jet method, also when constituted. So, the part with which the lower layer side insulator layer 61 and the upper layer side insulator layer 62 lap consists of these gestalten so that thickness may be set to 1 micrometers or more.

[0090]

Thus, since the 2nd interlayer insulation film 52 and the thick bank layer bank (the lower layer side insulator layer 61 and upper layer side insulator layer 62) intervene between the data line sig and Counterelectrode op also when constituted, the capacity which is parasitic on the data line sig is very small. So, the load of the drive circuits 3 and 4 can be reduced and low-power-izing or improvement in the speed of a display action can be attained.

[0091]

Moreover, although the organic-semiconductor film 43 was formed in the shape of a stripe, since the formation field of the flow control circuit 50, the field with which it laps, and the scanning line gate are covered by the lower layer side insulator layer 62 among the formation fields of the pixel electrode 41,

the organic-semiconductor film 43 formed only in a part for the flat part of the pixel electrode 41 among each pixel 7 contributes to luminescence. That is, the thin film light emitting device 40 will be formed only in a part for the flat part of the pixel electrode 41. So, the organic-semiconductor film 43 is formed by fixed thickness, and does not cause concentration of display unevenness or a drive current. Moreover, since it prevents that a drive current flows into the part which does not contribute to a display by the lower layer side insulator layer 61, the effectiveness that it can prevent that a useless current flows is in the common feeder com.

[0092]

If the lower layer side insulator layer 61 constitutes from inorganic materials, such as silicon oxide formed more thickly than the organic-semiconductor film 41 or a silicon nitride, and the upper layer side insulator layer 62 constitutes from organic materials, such as a resist or polyimide film, what is necessary will be to constitute only the lower layer side insulator layer 61 from an inorganic material here. therefore, the film which consists of an inorganic material over long time amount unlike the case where the thick whole bank layer bank is constituted from an inorganic material — PECVD — it is not necessary to form membranes by law etc. So, productivity can be raised for the active-matrix mold display 1. Moreover, although the organic-semiconductor film 41 has touched in the lower layer side insulator layer 61 which consists of an inorganic material if it is this two-layer structure, it has not touched in the upper layer side insulator layer 62 which consists of an organic material. So, since the organic-semiconductor film 41 does not deteriorate in response to the effect of the upper layer side insulator layer 62 which consists of organic materials, it does the same effectiveness as the gestalt 1 of operation — neither the decline in luminous efficiency nor the fall of dependability occurs — in the thin film light emitting device 40.

[0093]

On the other hand, since the organic-semiconductor film 43 is not in contact with an organic material when it constitutes from inorganic materials, such as a silicon nitride formed more thickly about the lower layer side insulator layer 61 than the organic-semiconductor film 41, and being constituted from inorganic materials, such as silicon oxide by which the laminating was carried out on this lower layer side insulator layer 61 about the upper layer side insulator layer 62, it does not deteriorate in response to the effect of an organic material. So, in the thin film light emitting device 40, neither the decline in luminous efficiency nor the fall of dependability occurs. Moreover, since the laminating has been carried out to the inside field of the lower layer side insulator layer 61 by width of face narrow about the upper layer side insulator layer 61, in case patterning of the upper layer side insulator layer 62 is carried out, the lower layer side insulator layer 61 does so the same effectiveness as the gestalt 3 of operation, such as functioning as an etching stopper.

[The gestalt 5 of operation]

Drawing 7 is the block diagram showing typically the layout of the whole active-matrix mold indicating equipment. The top view which drawing 8 extracts one of the pixels constituted by it, and is shown, drawing 9 (A), (B), and (C) are the A-A' sectional views and B-B' sectional view and C-C' sectional views of drawing 8 , respectively. In addition, since the fundamental configuration of this gestalt is common in the gestalt 1 of operation, it attaches the same sign about a common part.

** Fig. examples and those explanation are omitted.

[0094]

Along with the data line sig and the scanning line gate, the active-matrix mold indicating equipment 1 of this gestalt or this gestalt also prepares an insulator layer (field where bank layer bank / lower left attached the slash of a lot in the large pitch by one slash of **, or 2) thicker than the organic-semiconductor film 41, and has formed Counterelectrode op in the upper layer side of this bank layer bank. That is, since the 2nd interlayer insulation film 52 and the thick bank layer bank intervene between the data line sig and Counterelectrode op, the capacity which is parasitic on the data line sig is very small. So, the load of the drive circuits 3 and 4 can be reduced and low-power-izing or improvement in

the speed of a display action can be attained.

[0095]

Here, the bank layer bank consists of a lower layer side insulator layer 61 which consists of inorganic materials, such as silicon oxide formed more thickly than the organic-semiconductor film 41 or a silicon nitride, and an upper layer side insulator layer 62 which consists of organic materials, such as a resist by which the laminating was carried out on this lower layer side insulator layer 61, or polyimide film. For example, the thickness of the organic-semiconductor film 41, the lower layer side insulator layer 61, and the upper layer side insulator layer 62 is 0.05 micrometers – 0.2 micrometers, 0.2 micrometers – 1.0 micrometers, and 1 micrometer – 2 micrometers, respectively. Therefore, although the organic-semiconductor film 41 has touched in the lower layer side insulator layer 61 which consists of an inorganic material, it has not touched in the upper layer side insulator layer 62 which consists of an organic material. So, since the organic-semiconductor film 41 does not deteriorate in response to the effect of the upper layer side insulator layer 62 which consists of organic materials, it does the same effectiveness as the gestalt 1 of operation — neither the decline in luminous efficiency nor the fall of dependability occurs — in the thin film light emitting device 40.

[0096]

Thus, in the constituted active-matrix mold indicating equipment 1, as for the organic-semiconductor film 41, the perimeter is surrounded in the bank layer bank. For this reason, the way things stand, the counterelectrode op of each pixel 7 will connect the bank layer bank with the counterelectrode op of the pixel 7 which gets over and adjoins. However, with this gestalt, the both sides of the lower layer side insulator layer 61 and the upper layer side insulator layer 62 broke off and break off into the part which corresponds between the pixels 7 which adjoin each other in the installation direction of the data line sig, and Part off (the 1st breaking off part) is formed in the bank layer bank. Moreover, the both sides of the lower layer side insulator layer 61 and the upper layer side insulator layer 62 broke off and break off also into the part which corresponds between the pixels 7 which adjoin each other in the installation direction of the scanning line gate, and Part off (the 1st breaking off part) is formed in the bank layer bank. furthermore, the edge of each installation direction of the data line sig and the scanning line gate resembled the bank layer bank, respectively, and the both sides of the lower layer side insulator layer 61 and the upper layer side insulator layer 62 broke off in it — it breaks off and Part off (the 1st breaking off part) is formed.

[0097]

The counterelectrode op which is a part for the flat part which does not have such a big level difference resulting from the bank layer bank since there is no thick bank layer bank in Part off, and is formed in this part by breaking off is not disconnected. Therefore, the counterelectrode 7 of each pixel 7 will be certainly connected through a part for a flat part without the level difference resulting from the bank layer bank. So, even if it forms a thick insulator layer (bank layer bank) in the surroundings of a pixel 7 and stops parasitic capacitance etc., an open circuit does not occur in the counterelectrode op formed in the upper layer of this thick insulator layer (bank layer bank).

[0098]

Moreover, in the boundary region (outside field of a display 11) of the transparency substrate 10, the data side drive circuit 3 and the scan side drive circuit 4 are all covered with the bank layer bank (the slash is given to the formation field.). For this reason, even if it is in the condition that Counterelectrode op laps to the formation field of these drive circuits, the bank layer bank will intervene between the wiring layer of a drive circuit, and Counterelectrode op. So, since it can prevent that capacity is parasitic on the drive circuits 3 and 4, the load of the drive circuits 3 and 4 can be reduced and low-power-izing or improvement in the speed of a display action can be attained.

[0099]

And the both sides of the lower layer side insulator layer 61 and the upper layer side insulator layer 62 broke off in the location which corresponds between the formation field of the scan side drive circuit 4,

and the formation field of the data side drive circuit 3, the bank layer bank formed in the upper layer side of the scan side drive circuit 4 and the data side drive circuit 3 breaks off in it, and Part off (the 2nd breaking off part) is formed. For this reason, the near counterelectrode op of a display 11 and the counterelectrode op by the side of a substrate periphery are parts for the flat part which the bank layer bank breaks off, connect through Part off, and do not have this level difference to which it breaks off and Part off originates in the bank layer bank. Therefore, since this counterelectrode op that breaks off and is formed in Part off is not disconnected, the bank layer bank broke off, it connected certainly through Part off, and the near counterelectrode op of a display 11 and the counterelectrode op by the side of a substrate periphery have connected certainly to the counterelectrode op by the side of a substrate periphery the terminal 12 by which wiring connection is made, and the counterelectrode op of a display 11.

[0100]

Furthermore, with this gestalt, since the bank layer bank is formed also in the field which laps with the junction electrode 35 of the flow control circuit 50 among the formation fields of the pixel electrode 41, it can prevent that the useless reactive current flows. So, the width of face of the common feeder com may be narrow that much.

[0101]

As well as the gestalt 1 of operation in case it manufactures the active-matrix mold display 1 of such a configuration, the bank layer bank is formed in the front-face side of the 2nd interlayer insulation film 52 along with the scanning line gate and the data line sig. At this time, it breaks off into the predetermined part of the bank layer bank, and Part off is formed. Moreover, the bank layer bank formed along with the data line sig presupposes that it is broad so that the common feeder com may be covered.

Consequently, the field which should form the organic-semiconductor film 43 of the thin film light emitting device 40 is surrounded by the bank layer bank.

[0102]

Next, each organic-semiconductor film 43 corresponding to R, G, and B is formed using the ink jet method in the field divided in the shape of a matrix in the bank layer bank. To the inside field of the bank layer bank, from an ink jet head, the liquefied ingredient (precursor) for constituting the organic-semiconductor film 43 is fixed to it by discharge, it is fixed to it in the inside field of the bank layer bank, and the organic-semiconductor film 43 is formed in it. Here, since the upper layer side insulator layer 62 of the bank layer bank consists of a resist and polyimide film, it is water repellence. On the other hand, since the precursor of the organic-semiconductor film 43 uses the solvent of a hydrophilic property, the spreading field of the organic-semiconductor film 43 does not overflow into the pixel 7 which is specified certainly and adjoins by the bank layer bank. Moreover, even if it breaks off in the bank layer bank which divides the formation field of the organic-semiconductor film 43 and there is a part off, it does not overflow into the pixel 7 to cost and which breaks off, and the spreading field of the organic-semiconductor film 43 is certainly prescribed by the bank layer bank, and adjoins since Part off is narrow. So, the organic-semiconductor film 43 etc. can be formed only in a predetermined field.

[0103]

In addition, in order that the precursor breathed out from the ink jet head may rise in thickness of about 2 micrometers thru/or about 4 micrometers under the effect of surface tension, the thickness of about 1 micrometer thru/or about 3 micrometers is required for the bank layer bank. Although the precursor breathed out from the ink jet head is in the condition of touching the upper layer side insulator layer 62, in this condition, since a solvent component is removed from a precursor after performing 100 degrees C – 150 degrees C heat treatment, the thickness of the organic-semiconductor film 43 after being established inside the bank layer bank is about 0.05 micrometers to about 0.2 micrometers. So, in this condition, the organic-semiconductor film 43 is not in contact with the upper layer side insulator layer 62.

[0104]

In addition, if the septum which consists of a bank layer bank beforehand is 1 micrometers or more in height, even if the bank layer bank is not water repellence, the bank layer bank will fully function as a septum. Therefore, if the starting thick bank layer bank is formed, it replaces with the ink jet method, and even when forming the organic half body membrane 43 by the applying method, the formation field can be specified.

[The modification 1 of the gestalt 5 of operation]

Drawing 10 is the block diagram showing typically the layout of the whole active-matrix mold indicating equipment. The top view which drawing 11 extracts one of the pixels constituted by it, and is shown, drawing 12 (A), (B), and (C) are the A-A' sectional views and B-B' sectional view and C-C' sectional views of drawing 11, respectively. In addition, since a configuration with fundamental this gestalt and gestalt 1 of operation is identitas, the sign same into a common part is given to each drawing, and those detailed explanation is omitted.

[0105]

As shown in drawing 10, drawing 11 and drawing 12 (A), (B), and (C), along with the data line sig and the scanning line gate, the active-matrix mold indicating equipment 1 of this gestalt also prepares an insulator layer (field where bank layer bank / lower left attached the slash of a lot in the large pitch by one slash of **, or 2) thicker than the organic-semiconductor film 41, and has formed Counterelectrode op in the upper layer side of this bank layer bank. That is, since the 2nd interlayer insulation film 52 and the thick bank layer bank intervene between the data line sig and Counterelectrode op, the capacity which is parasitic on the data line sig is very small.

[0106]

So, the load of the drive circuits 3 and 4 can be reduced and low-power-izing or improvement in the speed of a display action can be attained. Here, the bank layer bank consists of a lower layer side insulator layer 61 which consists of inorganic materials, such as silicon oxide formed more thickly than the organic-semiconductor film 41 or a silicon nitride, and an upper layer side insulator layer 62 which consists of organic materials, such as a resist by which the laminating was carried out on this lower layer side insulator layer 61, or polyimide film. Therefore, although the organic-semiconductor film 41 has touched in the lower layer side insulator layer 61 which consists of an inorganic material, it has not touched in the upper layer side insulator layer 62 which consists of an organic material. So, since the organic-semiconductor film 41 does not deteriorate in response to the effect of the upper layer side insulator layer 62 which consists of organic materials, it does the same effectiveness as the gestalt 1 of operation — neither the decline in luminous efficiency nor the fall of dependability occurs — in the thin film light emitting device 40.

[0107]

Moreover, in this gestalt, since the bank layer bank is formed along with the data line sig and the scanning line gate, any pixel 7 is surrounded in the bank layer bank. For this reason, since each organic-semiconductor film 43 corresponding to R, G, and B can be formed in the predetermined field using the ink jet method, the full color active-matrix mold display 1 can be manufactured for high productivity.

[0108]

And it breaks off into the part which corresponds between the pixels 7 which adjoin each other in the installation direction of the scanning line gate, and Part off (the 1st breaking off part) is formed in the bank layer bank. Moreover, it breaks off also to each of the edge of each installation direction of the data line sig and the scanning line gate, and Part off (the 1st breaking off part) is formed in the bank layer bank. Furthermore, the bank layer bank formed in the upper layer side of the scan side drive circuit 4 and the data side drive circuit 3 breaks off in the location which corresponds between the formation field of the scan side drive circuit 4, and the formation field of the data side drive circuit 3, and Part off (the 2nd breaking off part) is formed. Therefore, through a part for a flat part without the level difference resulting from the bank layer bank (breaking off the part off), it connects certainly and Counterelectrode op is not disconnected.

[The modification 2 of the gestalt 5 of operation]

Drawing 13 is the block diagram showing typically the layout of the whole active-matrix mold indicating equipment. The top view which drawing 14 extracts one of the pixels constituted by it, and is shown, drawing 15 (A), (B), and (C) are the A-A' sectional views and B-B' sectional view and C-C' sectional views of drawing 14, respectively. In addition, this gestalt and the gestalt 1 of operation are each drawing about the sign same into a common part since a fundamental configuration is identitas. It gives and those detailed explanation is omitted.

[0109]

As shown in drawing 13, drawing 14 and drawing 15 (A), (B), and (C), along with the data line sig and the scanning line gate, the active-matrix mold indicating equipment 1 of this gestalt also prepares an insulator layer (field where bank layer bank / lower left attached the slash of a lot in the large pitch by one slash of **, or 2) thicker than the organic-semiconductor film 41, and has formed Counterelectrode op in the upper layer side of this bank layer bank. That is, since the 2nd interlayer insulation film 52 and the thick bank layer bank intervene between the data line sig and Counterelectrode op, the capacity which is parasitic on the data line sig is very small. So, the load of the drive circuits 3 and 4 can be reduced and low-power-izing or improvement in the speed of a display action can be attained.

[0110]

Here, the bank layer bank consists of a lower layer side insulator layer 61 which consists of inorganic materials, such as silicon oxide formed more thickly than the organic-semiconductor film 41 or a silicon nitride, and an upper layer side insulator layer 62 which consists of organic materials, such as a resist by which the laminating was carried out on this lower layer side insulator layer 61, or polyimide film. Therefore, although the organic-semiconductor film 41 has touched in the lower layer side insulator layer 61 which consists of an inorganic material, it has not touched in the upper layer side insulator layer 62 which consists of an organic material. So, since the organic-semiconductor film 41 does not deteriorate in response to the effect of the upper layer side insulator layer 62 which consists of organic materials, it does the same effectiveness as the gestalt 1 of operation — neither the decline in luminous efficiency nor the fall of dependability occurs — in the thin film light emitting device 40.

[0111]

Moreover, in this gestalt, since the bank layer bank is formed along with the data line sig and the scanning line gate, any pixel 7 is surrounded in the bank layer bank. For this reason, since each organic-semiconductor film 43 corresponding to R, G, and B can be formed in the predetermined field using the ink jet method, the full color active-matrix mold display 1 can be manufactured for high productivity.

[0112]

And it breaks off into the part which corresponds between the pixels 7 which adjoin each other in the installation direction of the data line sig, and Part off (the 1st breaking off part) is formed in the bank layer bank. Moreover, it breaks off also to each of the edge of each installation direction of the data line sig and the scanning line gate, and Part off (the 1st breaking off part) is formed in the bank layer bank.

[0113]

Furthermore, the bank layer bank formed in the upper layer side of the scan side drive circuit 4 and the data side drive circuit 3 breaks off in the location which corresponds between the formation field of the scan side drive circuit 4, and the formation field of the data side drive circuit 3, and Part off (the 2nd breaking off part) is formed. Therefore, through a part for a flat part without the level difference resulting from the bank layer bank (breaking off the part off), it connects certainly and Counterelectrode op is not disconnected.

[The modification 3 of the gestalt 5 of operation]

Drawing 16 is the block diagram showing typically the layout of the whole active-matrix mold indicating equipment. The top view which drawing 17 extracts one of the pixels constituted by it, and is shown, drawing 18 (A), (B), and (C) are the A-A' sectional views and B-B' sectional view and C-C' sectional views of drawing 17, respectively. In addition, since a configuration with fundamental this gestalt and

gestalten 1 and 5 of operation is identitas, the sign same into a common part is given to each drawing, and those detailed explanation is omitted.

[0114]

As shown in drawing 16 , drawing 17 and drawing 18 (A), (B), and (C), along with the data line sig and the scanning line gate, the active-matrix mold indicating equipment 1 of this gestalt also prepares an insulator layer (field where bank layer bank / lower left attached the slash of a lot in the large pitch by one slash of **, or 2) thicker than the organic-semiconductor film 41, and has formed Counterelectrode op in the upper layer side of this bank layer bank. That is, since the 2nd interlayer insulation film 52 and the thick bank layer bank intervene between the data line sig and Counterelectrode op, the capacity which is parasitic on the data line sig is very small.

[0115]

So, the load of the drive circuits 3 and 4 can be reduced and low-power-izing or improvement in the speed of a display action can be attained.

[0116]

Here, the bank layer bank is a style from the lower layer side insulator layer 61 which consists of inorganic materials, such as silicon oxide formed more thickly than the organic-semiconductor film 41 or a silicon nitride, and the upper layer side insulator layer 62 which consists of organic materials, such as a resist by which the laminating was carried out on this lower layer side insulator layer 61, or polyimide film.

It has accomplished.

[0117]

Moreover, in this gestalt, since the bank layer bank is formed along with the data line sig and the scanning line gate, any pixel 7 is surrounded in the bank layer bank. For this reason, since each organic-semiconductor film 43 corresponding to R, G, and B can be formed in the predetermined field using the ink jet method, the full color active-matrix mold display 1 can be manufactured for high productivity.

[0118]

And it breaks off into the part which corresponds between the pixels 7 which adjoin each other in the installation direction of the data line sig, and Part off (the 1st breaking off part) is formed in the bank layer bank. Moreover, it breaks off also to each of the edge of each installation direction of the data line sig and the scanning line gate, and Part off (the 1st breaking off part) is formed in the bank layer bank. Furthermore, the bank layer bank formed in the upper layer side of the scan side drive circuit 4 and the data side drive circuit 3 breaks off in the location which corresponds between the formation field of the scan side drive circuit 4, and the formation field of the data side drive circuit 3, and Part off (the 2nd breaking off part) is formed.

[0119]

However, in this gestalt, in Part off, it breaks off, and only the upper layer side insulator layer 62 has broken off among the lower layer side insulator layer 61 (field which attached the slash of a lot by two) used for forming the bank layer bank, and the upper layer side insulator layer 62 (field where the lower left attached one slash of **), and it breaks off, and even if it is Part off, the lower layer side insulator layer 61 is formed there.

[0120]

Thus, since there is no thick upper layer side insulator layer 62 only by breaking off and there being a thin lower layer side insulator layer 61 in Part off also when constituted, it breaks off, and connects certainly through Part off, and Counterelectrode op is not disconnected.

[0121]

In addition, although it was the configuration that the 1st broke off, a part and the 2nd broke off with the above-mentioned gestalt, and the lower layer side insulator layer 61 was formed in the both sides of a part, this invention may be the configuration that it is not limited to this, the 1st breaks off, a part and the 2nd break off, and the lower layer side insulator layer 61 is formed only in either of the parts.

Moreover, the configuration in which it breaks off like this gestalt and the lower layer side insulator layer 61 is formed in the part may be applied to the bank layer bank of the pattern explained with the gestalt of other operations.

[The gestalt 6 of operation]

Drawing 19 is the block diagram showing typically the layout of the whole active-matrix mold indicating equipment. The top view which drawing 20 extracts one of the pixels constituted by it, and is shown, drawing 21 (A), (B), and (C) are the A-A' sectional views and B-B' sectional view and C-C' sectional views of drawing 20, respectively. In addition, since a configuration with fundamental this gestalt and gestalt 1 of operation is identitas, the sign same into a common part is given to each drawing, and those detailed explanation is omitted.

[0122]

As shown in drawing 19, drawing 20 and drawing 21 (A), (B), and (C), in the active-matrix mold indicating equipment 1 of this gestalt, along with the data line sig, an insulator layer (field where bank layer bank / lower left attached the slash of a lot in the large pitch by one slash of ** or 2) thicker than the organic-semiconductor film 41 is prepared, and Counterelectrode op is formed in the upper layer side of this bank layer bank. That is, since the 2nd interlayer insulation film 52 and the thick bank layer bank intervene between the data line sig and Counterelectrode op, the capacity which is parasitic on the data line sig is very small. So, the load of the drive circuits 3 and 4 can be reduced and low-power-izing or improvement in the speed of a display action can be attained.

[0123]

Here, the bank layer bank consists of a lower layer side insulator layer 61 which consists of inorganic materials, such as silicon oxide formed more thickly than the organic-semiconductor film 41 or a silicon nitride, and an upper layer side insulator layer 62 which consists of organic materials, such as a resist by which the laminating was carried out on this lower layer side insulator layer 61, or polyimide film. Therefore, although the organic-semiconductor film 41 has touched in the lower layer side insulator layer 61 which consists of an inorganic material, it has not touched in the upper layer side insulator layer 62 which consists of an organic material. So, since the organic-semiconductor film 41 does not deteriorate in response to the effect of the upper layer side insulator layer 62 which consists of organic materials, it does the same effectiveness as the gestalt 1 of operation — neither the decline in luminous efficiency nor the fall of dependability occurs — in the thin film light emitting device 40.

[0124]

Moreover, in this gestalt, since the bank layer bank is formed along with the data line sig and each organic-semiconductor film 43 corresponding to R, G, and B can be formed in the shape of a stripe using the ink jet method in the field divided in the shape of a stripe in the bank layer bank, the full color active-matrix mold display 1 can be manufactured for high productivity.

[0125]

And the both sides of the lower layer side insulator layer 61 and the upper layer side insulator layer 62 broke off and break off at the edge of the installation direction of the data line sig, and Part off (the 1st breaking off part) is formed in it at the bank layer bank. Therefore, in the installation direction of the scanning line gate, to the counterelectrode op of the adjoining pixel 7, the counterelectrode op of each pixel 7 overcame the thick bank layer bank, and has connected. If the installation direction of the data line sig is followed, the counterelectrode op of each pixel 7 will still be connected with the train of the pixel 7 which breaks off at the edge of the data line sig and adjoins in the installation direction of the scanning line gate through Part off (a part for a flat part without the level difference resulting from the bank layer bank). So, it can say that the counterelectrode op of each pixel 7 is connected to the counterelectrode op of other pixels 7 through a part for a flat part without the level difference resulting from the bank layer bank, and neither of the counterelectrodes op of the pixels 7 will be in an open-circuit condition.

[0126]

Moreover, in the boundary region (outside field of a display 11) of the transparency substrate 10, the data side drive circuit 3 and the scan side drive circuit 4 are all covered with the bank layer bank. For this reason, even if it is in the condition that Counterelectrode op laps to the formation field of these drive circuits, the bank layer bank will intervene between the wiring layer of a drive circuit, and Counterelectrode op. So, since it can prevent that capacity is parasitic on the drive circuits 3 and 4, the load of the drive circuits 3 and 4 can be reduced and low-power-izing or improvement in the speed of a display action can be attained.

[0127]

Furthermore, the bank layer bank formed in the upper layer side of the scan side drive circuit 4 and the data side drive circuit 3 breaks off in the location which corresponds between the formation field of the scan side drive circuit 4, and the formation field of the data side drive circuit 3, and Part off (the 2nd breaking off part) is formed. Therefore, through a part for a flat part without the level difference resulting from the bank layer bank (breaking off the part off), it connects certainly and Counterelectrode op is not disconnected.

[The gestalt of other operations]

In addition, as the modification 3 of the gestalt 5 of operation explained, the configuration that the bank layer bank broke off and only the upper layer side insulator layer 62 has broken off in Part off may be applied to the gestalt 6 of operation.

[0128]

Moreover, as the gestalten 5 and 6 of operation explained, invention of preventing an open circuit of Counterelectrode op by breaking off to the bank layer bank and forming Part off can also be applied when the bank layer bank which consists of an inorganic material explained with the gestalt 3 of operation is used.

(Availability of invention)

As explained above, the active-matrix mold display concerning this invention constitutes this insulator layer from the lower layer side insulator layer which consists of an inorganic material thicker than the organic-semiconductor film, and the upper layer side insulator layer which consists of an organic material by which the laminating was carried out on it, although an insulator layer is formed so that the formation field of the organic-semiconductor film may be surrounded. Therefore, according to this invention, since the thick insulator layer was made to intervene between the data line and a counterelectrode, it can prevent that capacity is parasitic on the data line.

For this reason, since the load of a data side drive circuit can be reduced, low-power-izing or improvement in the speed of a display action can be attained. Moreover, since the laminating of the upper layer side insulator layer which constituted only the lower layer side insulator layer which touches the organic-semiconductor film of a thin film light emitting device from an inorganic material, and was constituted from organic materials, such as a resist which can form the thick film in the upper layer side easily, is carried out in this invention, productivity is high. And since an upper layer side insulator layer does not touch the organic-semiconductor film but the lower layer side insulator layer constituted from an inorganic material touches the organic-semiconductor film, the organic-semiconductor film does not deteriorate in response to the effect of an upper layer side insulator layer. So, a thin film light emitting device causes neither the decline in luminous efficiency, nor the fall of dependability.

[0129]

Here, when it has width of face narrower than a lower layer side insulator layer and the laminating of the upper layer side insulator layer is carried out to the inside field of this lower layer side insulator layer, since the upper layer side insulator layer which consisted of organic materials stops being able to touch easily due to the organic-semiconductor film, it can prevent degradation of the organic-semiconductor film more certainly.

[0130]

Another gestalt of this invention constitutes from the lower layer side insulator layer which consists of

an inorganic material although an insulator layer is formed so that the formation field of the organic-semiconductor film may be surrounded, and the upper layer side insulator layer which consists of an inorganic material by which the laminating was carried out to the inside field of this lower layer side insulator layer with width of face narrower than this lower layer side insulator layer. Therefore, since this invention also made the thick insulator layer intervene between the data line and a counterelectrode, it can prevent that capacity is parasitic on the data line. For this reason, since the load of a data side drive circuit can be reduced, low-powerizing or improvement in the speed of a display action can be attained. Moreover, since a lower layer side insulator layer functions as an etching stopper in case patterning of the upper layer side insulator layer is carried out after forming the film which consists of an inorganic material which should constitute a lower layer side insulator layer and an upper layer side insulator layer, a pixel electrode is not damaged even if there is some over etching. Since one layer of a lower layer side insulator layer is only etched in case patterning formation of the lower layer side insulator layer is carried out after finishing this patterning, etching control is easy and over etching to the extent that a pixel electrode is damaged does not occur.

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing typically the layout of the whole active-matrix mold indicating equipment concerning the gestalt 1 of operation of this invention.

[Drawing 2] It is the top view extracting and showing one of the pixels constituted by the active-matrix mold display shown in drawing 1.

[Drawing 3] Drawing 3 (A), drawing 3 (B), and drawing 3 (C) are the A-A' sectional views and B-B' sectional view and C-C' sectional views of drawing 2, respectively.

[Drawing 4] Drawing 4 (A), drawing 4 (B), and drawing 4 (C) are the sectional views in the location which is equivalent to the A-A' line and B-B'line and C-C' line of drawing 2 of the active-matrix mold display concerning the gestalten 2 and 3 of operation of this invention, respectively.

[Drawing 5] It is the top view extracting and showing one of the pixels constituted by the active-matrix mold display concerning the gestalt 4 of operation of this invention.

[Drawing 6] Drawing 6 (A), (B), and (C) are the sectional views in the location equivalent to the A-A' line and B-B'line and C-C' line of drawing 5, respectively.

[Drawing 7] It is the block diagram showing typically the layout of the whole active-matrix mold indicating equipment concerning the gestalt 5 of operation of this invention.

[Drawing 8] It is the top view extracting and showing one of the pixels constituted by the active-matrix mold display shown in drawing 7.

[Drawing 9] Drawing 9 (A), drawing 9 (B), and drawing 9 (C) are the sectional views in the location equivalent to the A-A' line and B-B'line and C-C' line of drawing 8, respectively.

[Drawing 10] It is the block diagram showing typically the layout of the whole active-matrix mold indicating equipment concerning the modification 1 of the gestalt 5 of operation of this invention.

[Drawing 11] It is the top view extracting and showing one of the pixels constituted by the active-matrix mold display shown in drawing 10.

[Drawing 12] Drawing 12 (A), drawing 12 (B), and drawing 12 (C) are the sectional views in the location equivalent to the A-A' line and B-B'line and C-C' line of drawing 11, respectively.

[Drawing 13] It is the block diagram showing typically the layout of the whole active-matrix mold indicating equipment concerning the modification 2 of the gestalt 5 of operation of this invention.

[Drawing 14] It is the top view extracting and showing one of the pixels constituted by the active-matrix mold display shown in drawing 13.

[Drawing 15] Drawing 15 (A), drawing 15 (B), and drawing 15 (C) are the sectional views in the location equivalent to the A-A' line and B-B'line and C-C' line of drawing 14, respectively.

[Drawing 16] It is the block diagram showing typically the layout of the whole active-matrix mold indicating equipment concerning the modification 3 of the gestalt 5 of operation of this invention.

[Drawing 17] It is the top view extracting and showing one of the pixels constituted by the active-matrix

mold display shown in drawing 16 .

[Drawing 18] Drawing 18 (A), drawing 18 (B), and drawing 18 (C) are the sectional views in the location equivalent to the A-A' line and B-B'line and C-C' line of drawing 17 , respectively.

[Drawing 19] It is the block diagram showing typically the layout of the whole active-matrix mold indicating equipment concerning the gestalt 6 of operation of this invention.

[Drawing 20] It is the top view extracting and showing one of the pixels constituted by the active-matrix mold display shown in drawing 19 .

[Drawing 21] Drawing 21 (A), drawing 21 (B), and drawing 21 (C) are the sectional views in the location equivalent to the A-A' line and B-B'line and C-C' line of drawing 20 , respectively.

[Drawing 22] It is the block diagram showing typically the layout of the whole active-matrix mold indicating equipment concerning the example of a comparison of the former and this invention.

[Drawing 23] It is the top view extracting and showing one of the pixels constituted by the active-matrix mold display shown in drawing 22 .

[Drawing 24] Drawing 24 (A), drawing 24 (B), and drawing 24 (C) are the sectional views in the location equivalent to the A-A' line and B-B'line and C-C' line of drawing 23 , respectively.

[Drawing 25] Drawing 25 (A), drawing 25 (B), and drawing 25 (C) are the sectional views in the location which is equivalent to the A-A' line and B-B'line and C-C' line in the active-matrix mold display concerning the example of a comparison, respectively.

[Description of Notations]

1 — Active-matrix mold display

2 — Display

3 — Data side drive circuit

4 — Scan side drive circuit

7 — Pixel

10 — Transparency substrate

12 — Terminal

20 — The 1st TFT

21 — Gate electrode of the 1st TFT

30 — The 2nd TFT

31 — Gate electrode of the 2nd TFT

40 — Light emitting device

41 — Pixel electrode

43 — Organic semiconductor

61 — Lower layer side insulator layer

62 — Upper layer side insulator layer

bank — Bank layer (insulator layer)

cap — Retention volume

com — Common feeder

gate — Scanning line

op — Counterelectrode

off — A blowout layer breaks off and it is a part.

sig — Data line

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing typically the layout of the whole active-matrix mold indicating equipment concerning the gestalt 1 of operation of this invention.

[Drawing 2] It is the top view extracting and showing one of the pixels constituted by the active-matrix mold display shown in drawing 1.

[Drawing 3] Drawing 3 (A), drawing 3 (B), and drawing 3 (C) are the A-A' sectional views and B-B' sectional view and C-C' sectional views of drawing 2, respectively.

[Drawing 4] Drawing 4 (A), drawing 4 (B), and drawing 4 (C) are the sectional views in the location which is equivalent to the A-A' line and B-B'line and C-C' line of drawing 2 of the active-matrix mold display concerning the gestalten 2 and 3 of operation of this invention, respectively.

[Drawing 5] It is the top view extracting and showing one of the pixels constituted by the active-matrix mold display concerning the gestalt 4 of operation of this invention.

[Drawing 6] Drawing 6 (A), (B), and (C) are the sectional views in the location equivalent to the A-A' line and B-B'line and C-C' line of drawing 5, respectively.

[Drawing 7] It is the block diagram showing typically the layout of the whole active-matrix mold indicating equipment concerning the gestalt 5 of operation of this invention.

[Drawing 8] It is the top view extracting and showing one of the pixels constituted by the active-matrix mold display shown in drawing 7.

[Drawing 9] Drawing 9 (A), drawing 9 (B), and drawing 9 (C) are the sectional views in the location equivalent to the A-A' line and B-B'line and C-C' line of drawing 8, respectively.

[Drawing 10] It is the block diagram showing typically the layout of the whole active-matrix mold indicating equipment concerning the modification 1 of the gestalt 5 of operation of this invention.

[Drawing 11] It is the top view extracting and showing one of the pixels constituted by the active-matrix mold display shown in drawing 10.

[Drawing 12] Drawing 12 (A), drawing 12 (B), and drawing 12 (C) are the sectional views in the location equivalent to the A-A' line and B-B'line and C-C' line of drawing 11, respectively.

[Drawing 13] It is the block diagram showing typically the layout of the whole active-matrix mold indicating equipment concerning the modification 2 of the gestalt 5 of operation of this invention.

[Drawing 14] It is the top view extracting and showing one of the pixels constituted by the active-matrix mold display shown in drawing 13.

[Drawing 15] Drawing 15 (A), drawing 15 (B), and drawing 15 (C) are the sectional views in the location equivalent to the A-A' line and B-B'line and C-C' line of drawing 14, respectively.

[Drawing 16] It is the block diagram showing typically the layout of the whole active-matrix mold indicating equipment concerning the modification 3 of the gestalt 5 of operation of this invention.

[Drawing 17] It is the top view extracting and showing one of the pixels constituted by the active-matrix mold display shown in drawing 16.

[Drawing 18] Drawing 18 (A), drawing 18 (B), and drawing 18 (C) are the sectional views in the location equivalent to the A-A' line and B-B'line and C-C' line of drawing 17, respectively.

[Drawing 19] It is the block diagram showing typically the layout of the whole active-matrix mold indicating equipment concerning the gestalt 6 of operation of this invention.

[Drawing 20] It is the top view extracting and showing one of the pixels constituted by the active-matrix

mold display shown in drawing 19.

[Drawing 21] Drawing 21 (A), drawing 21 (B), and drawing 21 (C) are the sectional views in the location equivalent to the A-A' line and B-B'line and C-C' line of drawing 20 , respectively.

[Drawing 22] It is the block diagram showing typically the layout of the whole active-matrix mold indicating equipment concerning the example of a comparison of the former and this invention.

[Drawing 23] It is the top view extracting and showing one of the pixels constituted by the active-matrix mold display shown in drawing 22 .

[Drawing 24] Drawing 24 (A), drawing 24 (B), and drawing 24 (C) are the sectional views in the location equivalent to the A-A' line and B-B'line and C-C' line of drawing 23 , respectively.

[Drawing 25] Drawing 25 (A), drawing 25 (B), and drawing 25 (C) are the sectional views in the location which is equivalent to the A-A' line and B-B'line and C-C' line of drawing 23 in the active-matrix mold display concerning the example of a comparison, respectively.

[Description of Notations]

1 — Active-matrix mold display

2 — Display

3 — Data side drive circuit

4 — Scan side drive circuit

7 — Pixel

10 — Transparency substrate

12 — Terminal

20 — The 1st TFT

21 — Gate electrode of the 1st TFT

30 — The 2nd TFT

31 — Gate electrode of the 2nd TFT

40 — Light emitting device

41 — Pixel electrode

43 — Organic semiconductor

61 — Lower layer side insulator layer

62 — Upper layer side insulator layer

bank — Bank layer (insulator layer)

cap — Retention volume

com — Common feeder

gate — Scanning line

op — Counterelectrode

off — A blowout layer breaks off and it is a part.

sig — Data line

[Translation done.]

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特願2004-46210
(P2004-46210A)

(43) 公開日 平成16年2月12日(2004.2.12)

(51) Int. Cl. ⁷	F 1	テーマコード (参考)		
G09F 9/30	G09F 9/30	330Z	3K007	
H05B 33/12	G09F 9/30	338	5C094	
H05B 33/14	G09F 9/30	365Z		
H05B 33/22	H05B 33/12	B		
H05B 33/26	H05B 33/14	A		
	審査請求 未請求 請求項の数 8 O L (全 33 頁)			最終頁に続く

(21) 出願番号	特願2003-209459 (P2003-209459)	(71) 出願人	000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号
(22) 出願日	平成15年8月28日 (2003.8.28)	(74) 代理人	100095728 弁理士 上柳 雅善
(62) 分割の表示	特願平11-505458の分割	(74) 代理人	100107076 弁理士 藤岡 英吉
原出願日	平成10年8月20日 (1998.8.20)	(74) 代理人	100107261 弁理士 須澤 修
(31) 優先権主張番号	特願平9-225434	(72) 発明者	湯田坂 一夫 長野県諏訪市大和3丁目3番5号 セイコ ーエプソン株式会社内
(32) 優先日	平成9年8月21日 (1997.8.21)		F ターム (参考) 3K007 AB11 AB18 BA06 CC00 DB03 EA00
(33) 優先権主張国	日本国 (JP)		

最終頁に続く

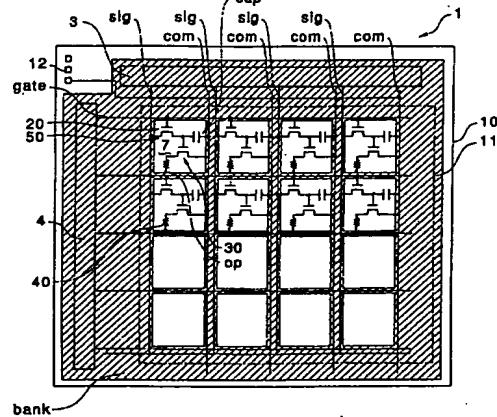
(54) 【発明の名称】表示装置

(57) 【要約】

【課題】外部との接続を容易にし、かつ安定的な駆動が可能な表示装置を得る。

【解決手段】複数の画素を備えた表示装置であって、前記複数の画素に対して設けられた対向電極を、含み、前記複数の画素の各々は、画素電極と、前記画素電極と前記複数の画素電極に対向する前記対向電極との間に設けられた有機半導体膜と、複数の端子と、を含み、前記複数の端子は、前記対向電極に電気的に接続される端子を含み、前記対向電極は、複数の端子が設けられた部分には形成されていないこと、を特徴とする。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

複数の画素を備えた表示装置であって、
前記複数の画素に対して設けられた対向電極を、含み、
前記複数の画素の各々は、
画素電極と、
前記画素電極と前記複数の画素電極に対向する前記対向電極との間に設けられた有機半導
体膜と、
複数の端子と、を含み、
前記複数の端子は、前記対向電極に電気的に接続される端子を含み、
前記対向電極は、複数の端子が設けられた部分には形成されていないこと、
を特徴とする表示装置。 10

【請求項 2】

複数の画素を備えた表示装置であって、
前記複数の画素に対して設けられた対向電極を、含み、
前記複数の画素の各々は、
画素電極と、
前記画素電極と前記複数の画素電極に対向する前記対向電極との間に設けられた有機半導
体膜と、を含み、
前記対向電極は、端子が設けられた部分には形成されていないこと、
を特徴とする表示装置。 20

【請求項 3】

基板と、
前記基板上に形成された複数の端子と、
前記基板の表示部に対応して設けられた複数の画素電極と、
前記表示部を覆う対向電極と、
前記対向電極と前記複数の画素電極の各々との間に設けられた有機半導体膜と、
前記有機半導体膜を区画するための絶縁膜と、を含み、
前記複数の端子は、前記絶縁膜には覆われていないこと、
を特徴とする表示装置。 30

【請求項 4】

請求項 3 に記載の表示装置において、
前記絶縁膜は、第 1 の絶縁膜と前記第 1 の絶縁膜上に形成された第 2 の絶縁膜を含むこと
、
を特徴とする表示装置。

【請求項 5】

基板と、
前記基板上に形成された複数の端子と、
前記基板の表示部に対応して設けられた複数の画素電極と、
前記表示部を覆う対向電極と、
前記対向電極と前記複数の画素電極の各々との間に設けられた有機半導体膜と、
前記有機半導体膜を区画するための絶縁膜と、を含み、
前記複数の端子は、前記対向電極には覆われていないこと、
を特徴とする表示装置。 40

【請求項 6】

基板と、
前記基板に設けられた複数の走査線と、
前記基板に設けられた複数のデータ線と、
前記基板に設けられた複数の端子と、
前記複数の走査線と前記データ線との交差部に対応して設けられた複数の画素と、を備え 50

前記複数の画素の各々は、

前記複数の走査線のうち対応する走査線にゲート電極が接続されたトランジスタを含む導通制御回路と、

画素電極と、

前記画素電極に対向する対向電極との間に設けられた有機半導体膜と、を備え、

前記有機半導体膜は、絶縁膜により区画され、

前記複数の端子は、前記絶縁膜には、覆われないこと、

を特徴とする表示装置。

【請求項 7】

10

基板と、

前記基板に設けられた複数の走査線と、

前記基板に設けられた複数のデータ線と、

前記基板に設けられた複数の端子と、

前記複数の走査線と前記データ線との交差部に対応して設けられた複数の画素と、を備え、

、

前記複数の画素の各々は、

前記複数の走査線のうち対応する走査線にゲート電極が接続されたトランジスタを含む導通制御回路と、

画素電極と、

前記画素電極に対向する対向電極との間に設けられた有機半導体膜と、を備え、

前記有機半導体膜は、絶縁膜により区画され、

前記複数の端子は、前記対向電極には、覆われないこと、

を特徴とする表示装置。

【請求項 8】

20

請求項 5 乃至 7 のいずれかに記載の表示装置において、

前記絶縁膜は、第 1 の絶縁膜と前記第 1 の絶縁膜上に設けられた第 2 の絶縁膜と、を含むこと、

を特徴とする表示装置。

【発明の詳細な説明】

30

【0001】

【発明の属する技術分野】

本発明は、有機半導体膜に駆動電流が流れることによって発光する E L (エレクトロルミネッセンス) 素子または L E D (発光ダイオード) 素子などの薄膜発光素子を薄膜トランジスタ (以下、T F T という。) で駆動制御するアクティブマトリクス型表示装置に関するものである。

【0002】

【従来の技術】

E L 素子または L E D 素子などの電流制御型発光素子を用いたアクティブマトリクス型の表示装置が提案されている。このタイプの表示装置に用いられる発光素子はいずれも自己発光するため、液晶表示装置と違ってバックライトを必要とせず、また、視野角依存性が少ないなどの利点もある。

40

【0003】

図 22 は、このような電荷注入型の有機薄膜 E L 素子を用いたアクティブマトリクス型表示装置のブロック図である。この図に示すアクティブマトリクス型表示装置 1 A では、透明基板 10 上に、複数の走査線 g a t e と、該走査線 g a t e の延設方向に対して交差する方向に延設された複数のデータ線 s i g と、該データ線 s i g に並列する複数の共通給電線 c o m と、データ線 s i g と走査線 g a t e とによってマトリクス状に形成された複数の画素 7 とが構成されている。

【0004】

50

データ線 *sig* および走査線 *gate* に対してはデータ側駆動回路 3 および走査側駆動回路 4 が構成されている。

【0005】

各々の画素 7 には、走査線 *gate* を介して走査信号が供給される導通制御回路 50 と、この導通制御回路 50 を介してデータ線 *sig* から供給される画像信号に基づいて発光する薄膜発光素子 40 とが構成されている。ここに示す例において、導通制御回路 50 は、走査線 *gate* を介して走査信号がゲート電極に供給される第 1 の TFT 20 と、この第 1 の TFT 20 を介してデータ線 *sig* から供給される画像信号を保持する保持容量 *cap* と、この保持容量 *cap* によって保持された画像信号がゲート電極に供給される第 2 の TFT 30 とから構成されている。第 2 の TFT 30 と薄膜発光素子 40 とは、後述する対向電極 *op* と共通給電線 *com*との間に直列に接続している。この薄膜発光素子 40 は、第 2 の TFT 30 がオン状態になったときには共通給電線 *com* から駆動電流が流れ込んで発光するとともに、この発光状態は保持容量 *cap* によって所定の期間、保持される。

10

【0006】

このような構成のアクティブマトリクス型表示装置 1A では、図 23 および図 24 (A)、(B) に示すように、いずれの画素 7 においても、島状の半導体膜を利用して第 1 の TFT 20 および第 2 の TFT 30 が形成されている。第 1 の TFT 20 は、ゲート電極 21 が走査線 *gate* の一部として構成されている。第 1 の TFT 20 は、ソース・ドレイン領域の一方で第 1 層間絶縁膜 51 のコンタクトホールを介してデータ線 *sig* が電気的に接続し、他方にはドレイン電極 22 が電気的に接続している。ドレイン電極 22 は、第 2 の TFT 30 の形成領域に向けて延設されており、この延設部分には第 2 の TFT 30 のゲート電極 31 が第 1 の層間絶縁膜 51 のコンタクトホールを介して電気的に接続している。

20

【0007】

第 2 の TFT 30 のソース・ドレイン領域の一方には、第 1 の層間絶縁膜 51 のコンタクトホールを介して中継電極 35 が電気的に接続し、この中継電極 35 には第 2 の層間絶縁膜 52 のコンタクトホールを介して薄膜発光素子 40 の画素電極 41 が電気的に接続している。

30

【0008】

画素電極 41 は、図 23 および図 24 (B)、(C) からわかるように各画素 7 毎に独立して形成されている。画素電極 41 の上層側には、有機半導体膜 43 および対向電極 *op* がこの順に積層されている。有機半導体膜 43 は画素 7 毎に形成されているが、複数の画素 7 に跨がってストライプ状に形成される場合もある。対向電極 *op* は、画素 7 が構成されている表示部 11 だけでなく、透明基板 10 の略全面に形成されている。

【0009】

再び、図 23 および図 24 (A) において、第 2 の TFT 30 のソース・ドレイン領域のもう一方には、第 1 の層間絶縁膜 51 のコンタクトホールを介して共通給電線 *com* が電気的に接続している。共通給電線 *com* の延設部分 39 は、第 2 の TFT 30 のゲート電極 31 の延設部分 36 に対して、第 1 の層間絶縁膜 51 を誘電体膜として挟んで対向し、保持容量 *cap* を構成している。

40

【0010】

しかしながら、前記のアクティブマトリクス型表示装置 1A において、画素電極 41 に対向する対向電極 *op* は、液晶アクティブマトリクス型表示装置と相違して、同じ透明基板 10 上においてデータ線 *sig* との間に第 2 の層間絶縁膜 52 しか介在していないので、データ線 *sig* には大きな容量が寄生し、データ側駆動回路 3 の負荷が大きい。

【0011】

そこで、本願発明者は、図 22、図 23、および図 25 (A)、(B)、(C) に示すように、対向電極 *op* とデータ線 *sig* などとの間に厚い絶縁膜 (バンク層 *bank* / 左下がりの斜線を広いピッチで付した領域) を設け、データ線 *sig* に寄生する容量を低減す

50

ることを提案する。併せて、この絶縁膜（バンク層bank）で有機半導体膜43の形成領域を囲むことによって、インクジェットヘッドから吐出した液状の材料（吐出液）から有機半導体膜43を形成する際に吐出液をバンク層bankでせき止め、吐出液が側方にはみ出すことを防止することを提案する。

【0012】

しかし、かかる構造を採用するにあたって、バンク層bank全体を厚い無機材料から構成すると、成膜時間が長いという問題点がある。また、無機材料からなる厚い膜をパターニングする際には、オーバーエッティング気味になって画素電極41を損傷してしまうおそれがある。一方、バンク層bankをレジストなどの有機材料から構成すると、有機半導体膜43のバンク層bankと接する部分で、バンク層bankを構成する有機材料に含まれる溶剤成分などの影響で有機半導体膜43が劣化するおそれがある。

10

【0013】

また、厚いバンク層bankを形成すると、バンク層bankの存在に起因して大きな段差bbが形成されるので、このバンク層bankの上層に形成される対向電極opが前記の段差bbの部分で断線しやすいという問題点がある。このような段差bbで対向電極opに断線が生じると、この部分の対向電極opは周囲の対向電極opから絶縁状態になって表示の点欠陥あるいは線欠陥を発生させる。また、データ側駆動回路3や走査側駆動回路4の表面を覆うバンク層bankの外周縁に沿って対向電極opに断線が起こると、表示部11の対向電極opと端子12との間が完全に絶縁状態になって表示が全くできなくなる。

20

【0014】

以上の問題点に鑑みて、本発明の課題は、薄膜発光素子を損傷することなく、当該薄膜発光素子の有機半導体膜の周りに厚い絶縁膜を好適に形成することのできるアクティブマトリクス型表示装置を提供することにある。

【0015】

また、本発明の課題は、有機半導体膜の周りに厚い絶縁膜を形成して寄生容量などを抑えて、この厚い絶縁膜の上層に形成する対向電極に断線などが発生しないアクティブマトリクス型表示装置を提供することにある。

【0016】

【課題を解決するための手段】

30

本発明の第1の表示装置は、複数の画素を備えた表示装置であって、前記複数の画素に対して設けられた対向電極を、含み、前記複数の画素の各々は、画素電極と、前記画素電極と前記複数の画素電極に対向する前記対向電極との間に設けられた有機半導体膜と、複数の端子と、を含み、前記複数の端子は、前記対向電極に電気的に接続される端子を含み、前記対向電極は、複数の端子が設けられた部分には形成されていないこと、を特徴とする。

【0017】

本発明の第2の表示装置は、複数の画素を備えた表示装置であって、前記複数の画素に対して設けられた対向電極を、含み、前記複数の画素の各々は、画素電極と、前記画素電極と前記複数の画素電極に対向する前記対向電極との間に設けられた有機半導体膜と、を含み、前記対向電極は、端子が設けられた部分には形成されていないこと、を特徴とする。

40

【0018】

本発明の第3の表示装置は、基板と、前記基板上に形成された複数の端子と、前記基板の表示部に対応して設けられた複数の画素電極と、前記表示部を覆う対向電極と、前記対向電極と前記複数の画素電極の各々との間に設けられた有機半導体膜と、前記有機半導体膜を区画するための絶縁膜と、を含み、前記複数の端子は、前記絶縁膜には覆われていないこと、を特徴とする。

【0019】

上記の表示装置において、前記絶縁膜は、第1の絶縁膜と前記第1の絶縁膜上に形成された第2の絶縁膜を含むことが好ましい。

50

【0020】

本発明の第4の表示装置は、基板と、前記基板上に形成された複数の端子と、前記基板の表示部に対応して設けられた複数の画素電極と、前記表示部を覆う対向電極と、前記対向電極と前記複数の画素電極の各々との間に設けられた有機半導体膜と、前記有機半導体膜を区画するための絶縁膜と、を含み、前記複数の端子は、前記対向電極には覆われていないこと、を特徴とする。

【0021】

本発明の第5の表示装置は、基板と、前記基板に設けられた複数の走査線と、前記基板に設けられた複数のデータ線と、前記基板に設けられた複数の端子と、前記複数の走査線と前記データ線との交差部に対応して設けられた複数の画素と、を備え、前記複数の画素の各々は、前記複数の走査線のうち対応する走査線にゲート電極が接続されたトランジスタを含む導通制御回路と、画素電極と、前記画素電極に対向する対向電極との間に設けられた有機半導体膜と、を備え、前記有機半導体膜は、絶縁膜により区画され、前記複数の端子は、前記絶縁膜には、覆われないこと、を特徴とする。

10

【0022】

本発明の第6の表示装置は、基板と、前記基板に設けられた複数の走査線と、前記基板に設けられた複数のデータ線と、前記基板に設けられた複数の端子と、

前記複数の走査線と前記データ線との交差部に対応して設けられた複数の画素と、を備え、前記複数の画素の各々は、前記複数の走査線のうち対応する走査線にゲート電極が接続されたトランジスタを含む導通制御回路と、画素電極と、前記画素電極に対向する対向電極との間に設けられた有機半導体膜と、を備え、前記有機半導体膜は、絶縁膜により区画され、前記複数の端子は、前記対向電極には、覆われることを特徴とする。

20

【0023】

上記の表示装置において、前記絶縁膜は、第1の絶縁膜と前記第1の絶縁膜上に設けられた第2の絶縁膜と、を含むことが好ましい。

【0024】

上記課題を解決するため、本発明では、基板上に、複数の走査線と、該走査線の延設方向に対して交差する方向に延設された複数のデータ線と、該データ線と前記走査線とによってマトリクス状に形成された複数の画素からなる表示部とを有し、該画素の各々は、前記走査線を介して走査信号がゲート電極に供給される薄膜トランジスタを含む導通制御回路と、画素毎に形成された画素電極、該画素電極の上層側に積層された有機半導体膜、および該有機半導体膜の上層側に積層された対向電極を具備する薄膜発光素子とを備え、前記データ線から前記導通制御回路を介して供給される画像信号に基づいて前記薄膜発光素子が発光するアクティブマトリクス型表示装置において、前記有機半導体膜の形成領域は当該有機半導体膜よりも厚く形成された絶縁膜によって区画され、該絶縁膜は、当該有機半導体膜よりも厚く形成された無機材料からなる下層側絶縁膜と、該下層側絶縁膜上に積層された有機材料からなる上層側絶縁膜とを備えていることを特徴とする。

30

【0025】

本発明において、対向電極は少なくとも表示部の全面に形成され、データ線と対向する状態にあるため、このままではデータ線に対して大きな容量が寄生することになる。しかるに本発明では、データ線と対向電極との間に厚い絶縁膜を介在させたので、データ線に容量が寄生することを防止できる。その結果、データ側駆動回路の負荷を低減できるので、低消費電力化あるいは表示動作の高速化を図ることができる。また、厚い絶縁膜を形成するにあたって、それ全体を無機材料からなる膜で構成すると、長い成膜時間を必要とするので、生産性が低下する。しかるに本発明では、薄膜発光素子の有機半導体膜と接する下層側絶縁膜のみを無機材料から構成し、その上層側にはレジストなどの有機材料から構成した上層側絶縁膜を積層する。かかる有機材料から構成した上層側絶縁膜であれば、厚い膜を容易に形成できるので、生産性が向上する。しかも、この上層側絶縁膜は有機半導体膜と接しておらず、有機半導体膜と接するものは無機材料から構成した下層側絶縁膜なので、有機半導体膜は上層側絶縁膜の影響を受けて劣化することがない。それ故、薄膜発光素

40

50

子は、発光効率の低下や信頼性の低下などを起こさない。

【0026】

本発明において、前記上層側絶縁膜は、前記下層側絶縁膜より狭い幅をもって当該下層側絶縁膜の内側領域に積層されていることが好ましい。このような2段構造とすると、有機材料から構成された上層側絶縁膜は、有機半導体膜により接しにくくなるので、有機半導体膜の劣化をより確実に防止できる。

【0027】

このような2段構造であれば、下層側絶縁膜および上層側絶縁膜の双方を無機材料から構成してもよい。すなわち、本発明の別の形態では、基板上に、複数の走査線と、該走査線の延設方向に対して交差する方向に延設された複数のデータ線と、該データ線と前記走査線とによってマトリクス状に形成された複数の画素からなる表示部とを有し、該画素の各々は、前記走査線を介して走査信号がゲート電極に供給される薄膜トランジスタを含む導通制御回路と、画素毎に形成された画素電極、該画素電極の上層側に積層された有機半導体膜、および該有機半導体膜の上層側に積層された対向電極を具備する薄膜発光素子とを備え、前記データ線から前記導通制御回路を介して供給される画像信号に基づいて前記薄膜発光素子が発光するアクティブマトリクス型表示装置において、前記有機半導体膜の形成領域は当該有機半導体膜よりも厚く形成された絶縁膜によって区画され、該絶縁膜は、無機材料からなる下層側絶縁膜と、該下層側絶縁膜より狭い幅をもって当該下層側絶縁膜の内側領域に積層された無機材料からなる上層側絶縁膜とを備えていることを特徴とする。
10

【0028】

このように構成すると、下層側絶縁膜および上層側絶縁膜を構成すべき無機材料からなる膜を形成した後、まず、上層側絶縁膜をパターニングする。この際には、下層側絶縁膜がエッチングストッパーとして機能するので、多少のオーバーエッチングがあつても、画素電極を損傷することはない。かかるパターニングを終えた後には下層側絶縁膜をパターニング形成する。この際には、下層側絶縁膜の1層分をエッチングするだけなので、エッチング制御が容易で、画素電極を損傷するほどのオーバーエッチングが起きない。

【0029】

本発明では、前記導通制御回路は、前記走査信号がゲート電極に供給される第1のTFT、および該第1のTFTを介してゲート電極が前記データ線に接続する第2のTFTを備え、該第2のTFTと前記薄膜発光素子は、前記データ線および走査線とは別に構成された駆動電流供給用の共通給電線と前記対向電極との間に直列に接続していることが好ましい。すなわち、導通制御回路を1つのTFTと保持容量で構成することも可能ではあるが、表示品位を高くするという観点からすれば各画素の導通制御回路を2つのTFTと保持容量で構成することが好ましい。
30

【0030】

本発明において、前記絶縁膜は、当該絶縁膜で区画された領域内に前記有機半導体膜をインクジェット法により形成する際に吐出液のはみ出しを防止するバンク層として利用することが好ましい。それには、前記絶縁膜は、膜厚が1μm以上であることが好ましい。

【0031】

本発明において、前記画素電極の形成領域のうち、前記導通制御回路の形成領域と重なる領域は前記絶縁膜で覆われていることが好ましい。すなわち、前記画素電極の形成領域のうち、前記導通制御回路の形成されていない平坦部分のみについて前記の厚い絶縁膜を開口し、その内側のみに有機半導体膜を形成することが好ましい。このように構成すると、有機半導体膜の膜厚ばらつきに起因する表示むらを防止できる。また、有機半導体膜に膜厚の薄い部分があると、そこに薄膜発光素子の駆動電流が集中し、薄膜発光素子の信頼性が低下することになるが、そのような問題を防止することができる。さらに、画素電極が形成されていても導通制御回路と重なる領域では、たとえ対向電極との間に駆動電流が流れて有機半導体膜が発光しても、この光は導通制御回路に遮られ、表示には寄与しない。かかる表示に寄与しない部分で有機半導体膜に流れる駆動電流は、表示という面からみて
40

無効電流といえる。

【0032】

そこで、本発明では、従来ならこのような無効電流が流れるはずの部分に前記の厚い絶縁膜を形成し、そこに駆動電流が流れることを防止する。その結果、共通給電線に流れる電流が小さくすることができるので、その分、共通給電線の幅を狭くすれば、その結果として、発光面積を増すことができ、輝度、コントラスト比などの表示性能を向上させることができる。

【0033】

本発明において、前記絶縁膜で区画されている領域に対してその隅部分に丸みをもたせれば、有機半導体膜を角のない丸みをもった平面形状に形成できる。このような形状の有機半導体膜であれば、角部分の駆動電流が集中することができないので、この部分での耐圧不足などの不具合の発生を防止できる。

10

【0034】

本発明において、前記有機半導体膜をストライプ状に形成する場合には、前記絶縁膜のうち、前記下層側絶縁膜は、前記画素電極の形成領域のうち前記導通制御回路の形成領域と重なる領域、前記データ線、前記共通給電線、および前記走査線を覆うように形成する一方、前記上層側絶縁膜は前記データ線に沿ってストライプ状に形成し、この上層側絶縁膜でストライプ状に区画された領域内に前記有機半導体膜を、たとえばインクジェット法により形成する。

20

【0035】

このように構成した場合には、導通制御回路が下層側絶縁膜で覆われているので、各画素のうち、画素電極の平坦部分のみに形成された有機半導体膜のみが発光に寄与する。すなわち、画素電極の平坦部分のみに薄膜発光素子が形成されていることになる。それ故、有機半導体膜は一定の膜厚で形成され、表示むらを起こさない。また、表示に寄与しない部分に駆動電流が流れるのを下層側絶縁膜で防止するので、共通給電線に無駄な電流が流れることを防止できるという効果もある。

【0036】

さらに、このように構成すると、前記絶縁膜のうち、前記下層側絶縁膜と前記上層側絶縁膜が重なる部分は、前記有機半導体膜をインクジェット法により形成する際に吐出液のはみ出しを防止するバンク層として利用できる。このようなバンク層として利用するにあたっては、前記下層側絶縁膜と前記上層側絶縁膜が重なる部分は、膜厚を $1 \mu m$ 以上にすることが好ましい。

30

【0037】

また、本発明では、前記絶縁膜は、各画素毎の対向電極部分同士を当該絶縁膜に起因する段差のない平坦部分を介して接続させる第1の途切れ部分を備えていることが好ましい。本発明において、前記絶縁膜を厚く形成すると、この絶縁膜は大きな段差を形成し、その上層側に形成される対向電極に断線が発生させるおそれがある。

【0038】

40

しかるに本発明では、厚い絶縁膜の所定の位置に第1の途切れ部分を構成し、この部分を平坦にしてある。従って、各領域毎の対向電極は平坦部分に形成された部分を介して電気的に接続するので、たとえ、絶縁膜に起因する段差によってこの部分で断線しても、絶縁膜の第1の途切れ部分に相当する平坦部分を介して確実に電気的に接続しているので、対向基板の断線という不具合が発生しない。それ故、アクティブマトリクス型表示装置において、有機半導体膜の周りに厚い絶縁膜を形成して寄生容量などを抑えたとしても、絶縁膜の上層に形成する対向電極に断線が発生しないので、アクティブマトリクス型表示装置の表示品質および信頼性を向上することができる。

【0039】

50

本発明においては、前記絶縁膜は、前記データ線および前記走査線に沿って形成されていることにより前記有機半導体膜の形成領域の周りを囲んでいる場合には、前記データ線の延設方向で隣り合う画素の間、前記走査線の延設方向で隣り合う画素の間、またはそれら

双方の方向で隣り合う画素の間に相当する部分に前記第1の途切れ部分を構成することが好ましい。

【0040】

また、前記絶縁膜は前記データ線に沿ってストライプ状に延設される場合があり、この場合には、該延設方向の少なくとも一方の端部に前記第1の途切れ部分を構成してもよい。

【0041】

本発明では、前記表示部の周囲には、前記データ線を介してデータ信号を供給するデータ側駆動回路、および前記走査線を介して走査信号を供給する走査側駆動回路を有し、該走査側駆動回路および前記データ側駆動回路の上層側にも前記絶縁膜が形成されているとともに、当該絶縁膜は、前記走査側駆動回路の形成領域と前記データ側駆動回路の形成領域との間に相当する位置には前記対向電極を前記表示部側と基板外周側とを当該絶縁膜に起因する段差のない平坦部分を介して接続させる第2の途切れ部分を備えていることが好ましい。このように構成すると、データ側駆動回路や走査側駆動回路の表面を覆う絶縁膜の外周縁に沿って対向電極に断線が起きても、表示部側の対向電極と基板外周側の対向電極とは該絶縁膜に起因する段差のない平坦部分を介して接続し、表示部側の対向電極と基板外周側の対向電極との間の電気的接続を確保できる。

10

【0042】

本発明において、前記途切れ部分では、前記絶縁膜を構成する前記下層側絶縁膜および前記上層側絶縁膜の双方が途切れている構成、あるいは前記絶縁膜を構成する前記下層側絶縁膜および前記上層側絶縁膜のうち、上層側絶縁膜のみが途切れている構成のいずれであってもよい。

20

【0043】

【発明を実施の形態】

図面を参照して、本発明の実施の形態を説明する。なお、以下の説明において、図2-2ないし図2-5を参照して説明した構成要素と共通する部分には同一の符号を付してある。

【実施の形態1】

(全体構成)

図1は、アクティブマトリクス型表示装置の全体のレイアウトを模式的に示すブロック図である。図2は、それに構成されている画素の1つを抜き出して示す平面図、図3(A)、(B)、(C)はそれぞれ図2のA-A'断面図、B-B'断面図、およびC-C'断面図である。

30

【0044】

図1に示すアクティブマトリクス型表示装置1では、その基体たる透明基板10の中央部分が表示部11とされている。透明基板10の外周部分のうち、データ線sigの端部には画像信号を出力するデータ側駆動回路3が構成され、走査線gateの端部には走査信号を出力する走査側駆動回路4が構成されている。これらの駆動回路3、4では、N型のTFTとP型のTFTとによって相補型TFTが構成され、この相補型TFTは、シフトレジスタ回路、レベルシフタ回路、アナログスイッチ回路などを構成している。表示部11では、液晶アクティブマトリクス型表示装置のアクティブマトリクス基板と同様、透明基板10上に、複数の走査線gateと、該走査線gateの延設方向に対して交差する方向に延設された複数のデータ線sigと、データ線sigおよび走査線gateによってマトリクス状に形成された複数の画素7が構成されている。

40

【0045】

各々の画素7には、走査線gateを介して走査信号が供給される導通制御回路50と、この導通制御回路50を介してデータ線sigから供給される画像信号に基づいて発光する薄膜発光素子40とが構成されている。ここに示す例においては、導通制御回路50は、走査線gateを介して走査信号がゲート電極に供給される第1のTFT20と、この第1のTFT20を介してデータ線sigから供給される画像信号を保持する保持容量capと、この保持容量capによって保持された画像信号がゲート電極に供給される第2のTFT30とから構成されている。第2のTFT30と薄膜発光素子40とは、後述す

50

る対向電極 o_p と共に共通給電線 $c_o m$ との間に直列に接続している。なお、保持容量 c_{ap} については共通給電線 $c_o m$ との間に形成した構造の他、走査線 $g_a t_e$ と並列に形成した容量線との間に形成してもよい。

【0046】

このような構成のアクティブマトリクス型表示装置1では、図2および第3図(A)、(B)に示すように、いずれの画素7においても、島状の半導体膜(シリコン膜)を利用して第1のTFT20および第2のTFT30が形成されている。

【0047】

第1のTFT20は、ゲート電極21が走査線 $g_a t_e$ の一部として構成されている。第1のTFT20は、ソース・ドレイン領域の一方に第1層間絶縁膜51のコンタクトホールを介してデータ線 $s_i g$ が電気的に接続し、他方にはドレイン電極22が電気的に接続している。ドレイン電極22は、第2のTFT30の形成領域に向けて延設されており、この延設部分には第2のTFT30のゲート電極31が第1の層間絶縁膜51のコンタクトホールを介して電気的に接続している。

【0048】

第2のTFT30のソース・ドレイン領域の一方には、第1の層間絶縁膜51のコンタクトホールを介して、データ線 $s_i g$ と同時形成された中継電極35が電気的に接続し、この中継電極35には第2の層間絶縁膜52のコンタクトホールを介して薄膜発光素子40のITO(Indium Tin Oxide)膜からなる透明な画素電極41が電気的に接続している。

【0049】

図2および図3(B)、(C)からわかるように、画素電極41は各画素7毎に独立して形成されている。画素電極41の上層側には、ポリフェニレンビニレン(PPV)などの有機半導体膜43、およびリチウム含有アルミニウムやカルシウムなどの金属膜からなる対向電極 o_p がこの順に積層され、薄膜発光素子40が構成されている。ここに示す例では、有機半導体膜43は各画素7に形成されているが、後述するように、複数の画素7に跨がってストライプ状に形成される場合もある。対向電極 o_p は、表示部11全体と、少なくとも端子12が形成されている部分の周囲を除いた領域とに形成されている。この端子12は、対向電極 o_p と同時形成された配線(図示せず。)を利用して形成された対向電極 o_p に電気的に接続する端子を含んでいる。

【0050】

薄膜発光素子40としては、正孔注入層を設けて発光効率(正孔注入率)を高めた構造、電子注入層を設けて発光効率(電子注入率)を高めた構造、正孔注入層および電子注入層の双方を形成した構造を採用することもできる。

【0051】

再び図2および図3(A)において、第2のTFT30のソース・ドレイン領域のもう一方には、第1の層間絶縁膜51のコンタクトホールを介して共通給電線 $c_o m$ が電気的に接続している。共通給電線 $c_o m$ の延設部分39は、第2のTFT30のゲート電極31の延設部分36に対して、第1の層間絶縁膜51を誘電体膜として挟んで対向し、保持容量 c_{ap} を構成している。保持容量 c_{ap} については共通給電線 $c_o m$ との間に形成した構造の他、走査線 $g_a t_e$ と並列に形成した容量線との間に形成してもよく、また、第1のTFT20のドレイン領域と第2のTFT30のゲート電極31とを利用して保持容量 c_{ap} を構成してもよい。

【0052】

このように構成したアクティブマトリクス型表示装置1において、走査信号によって選択されて第1のTFT20がオン状態になると、データ線 $s_i g$ からの画像信号が第1のTFT20を介して第2のTFT30のゲート電極31に印加されるとともに、画像信号が第1のTFT20を介して保持容量 c_{ap} に書き込まれる。その結果、第2のTFT30がオン状態になると、対向電極 o_p および画素電極41をそれぞれ負極および正極として電圧が印加され、印加電圧がしきい値電圧を越えた領域で有機半導体膜43に流れる電流

10

20

30

40

50

(駆動電流) が急激に増大する。従って、発光素子 40 は、エレクトロルミネッセンス素子あるいは LED 素子として発光し、発光素子 40 の光は、対向電極 o p に反射されて透明な画素電極 41 および透明基板 10 を透過して出射される。このような発光を行うための駆動電流は、対向電極 o p 、有機半導体膜 43 、画素電極 41 、第 2 の TFT 30 、および共通給電線 com から構成される電流経路を流れるため、第 2 の TFT 30 がオフ状態になると、流れなくなる。

【0053】

但し、第 2 の TFT 30 のゲート電極は、第 1 の TFT 20 がオフ状態になっても、保持容量 cap によって画像信号に相当する電位に保持されるので、第 2 の TFT 30 はオン状態のままである。それ故、発光素子 40 には駆動電流が流れ続け、この画素は点灯状態のままである。この状態は、新たな画像データが保持容量 cap に書き込まれて、第 2 の TFT 30 がオフ状態になるまで維持される。

(バンク層の構造)

このように構成したアクティブマトリクス型表示装置 1 において、本形態では、データ線 sig には大きな容量が寄生することを防止するため、図 1、図 2、および図 3 (A)、(B)、(C) に示すように、データ線 sig および走査線 gate に沿って、有機半導体膜 41 よりも厚い絶縁膜 (バンク層 bank / 左下がりの 1 本の斜線、または 2 本で一組の斜線を広いピッチで付した領域) を設け、このバンク層 bank の上層側に対向電極 o p を形成してある。すなわち、データ線 sig と対向電極 o p との間に第 2 の層間絶縁膜 52 と厚いバンク層 bank とが介在しているので、データ線 sig に寄生する容量が極めて小さい。それ故、駆動回路 3、4 の負荷を低減でき、低消費電力化あるいは表示動作の高速化を図ることができる。

【0054】

ここで、バンク層 bank は、有機半導体膜 41 よりも厚く形成されたシリコン酸化膜あるいはシリコン窒化膜などの無機材料からなる下層側絶縁膜 61 と、この下層側絶縁膜 61 上に積層されたレジストあるいはポリイミド膜などの有機材料からなる上層側絶縁膜 62 とから構成されている。たとえば、有機半導体膜 41 、下層側絶縁膜 61 、および上層側絶縁膜 62 の膜厚は、それぞれ $0.05 \mu m \sim 0.2 \mu m$ 、 $0.2 \mu m \sim 1.0 \mu m$ 、および $1 \mu m \sim 2 \mu m$ である。

【0055】

このような 2 層構造であれば、上層側絶縁膜 62 は、厚い膜を形成するのが容易なレジストやポリイミド膜から構成されているため、下層側絶縁膜 61 のみを無機材料から構成すればよい。従って、バンク層 bank 全体を無機材料で構成する場合と違って、長い時間をかけて無機材料からなる膜を PECVD 法などで成膜する必要がない。それ故、アクティブマトリクス型表示装置 1 を生産性を高めることができる。

【0056】

また、かかる 2 層構造であれば、有機半導体膜 41 は無機材料からなる下層側絶縁膜 61 とは接しているが、有機材料からなる上層側絶縁膜 62 とは接していない。それ故、有機半導体膜 41 は、有機材料から構成されている上層側絶縁膜 62 の影響を受けて劣化することができないので、薄膜発光素子 40 では、発光効率の低下や信頼性の低下が起きない。

【0057】

また、図 1 からわかるように、透明基板 10 の周辺領域 (表示部 11 の外側領域) にもバンク層 bank が形成されているので、データ側駆動回路 3 および走査側駆動回路 4 もバンク層 bank によって覆われている。対向電極 o p は少なくとも表示部 11 に形成される必要があり、駆動回路領域に形成される必要がない。しかし、対向電極 o p は、通常、マスクスパッタ法で形成されるので、合わせ精度が悪く、対向電極 o p と駆動回路とが重なることがある。しかるに本形

態では、これらの駆動回路の形成領域に対して対向電極 o p が重なる状態にあっても、駆動回路の配線層と対向電極 o p との間にバンク層 bank が介在している。それ故、駆動回路 3、4 に容量が寄生することを防止できるため、駆動回路 3、4 の負荷を低減でき、

10

20

30

40

50

低消費電力化あるいは表示動作の高速化を図ることができる。

【0058】

さらに、本形態では、画素電極41の形成領域のうち、導通制御回路50の中継電極35と重なる領域にもバンク層bankが形成されている。このため、中継電極35と重なる領域には有機半導体膜43が形成されない。すなわち、画素電極41の形成領域のうち、平坦な部分のみに有機半導体膜43が形成されるので、有機半導体膜43は一定の膜厚で形成され、表示むらを起こさない。また、有機半導体膜43に膜厚の薄い部分があると、そこに薄膜発光素子40の駆動電流が集中し、薄膜発光素子40の信頼性が低下することになるが、そのような問題を防止することができる。

【0059】

さらに、中継電極35と重なる領域にバンク層bankがないと、この部分でも対向電極opとの間に駆動電流が流れて有機半導体膜43が発光する。しかし、この光は中継電極35と対向電極opとの間に挟まれて外に出射されず、表示に寄与しない。かかる表示に寄与しない部分で流れる駆動電流は、表示という面からみて無効電流といえる。しかるに本形態では、従来ならこのような無効電流が流れるはずの部分にバンク層bankを形成し、そこに駆動電流が流れることを防止するので、共通給電線comに無駄な電流が流れることができない。それ故、共通給電線comの幅はその分、狭くてよい。その結果として、発光面積を増すことができ、輝度、コントラスト比などの表示性能を向上させることができる。

【0060】

なお、バンク層bankを黒色のレジストによって形成すると、バンク層bankはブラックマトリクスとして機能し、コントラスト比などの表示の品位が向上する。すなわち、本形態に係るアクティブマトリクス型表示装置1では、対向電極opが透明基板10の表面側において画素7の全面に形成されるため、対向電極opでの反射光がコントラスト比を低下させる。しかるに寄生容量を防止する機能を担うバンク層bankを黒色のレジストで構成すると、バンク層bankはブラックマトリクスとしても機能し、対向電極opからの反射光を遮るので、コントラスト比が向上する。

(アクティブマトリクス型表示装置の製造方法)

このように形成したバンク層bankは、有機半導体膜43の形成領域を囲むように構成されているので、アクティブマトリクス型表示装置の製造工程では、インクジェットヘッドから吐出した液状の材料(吐出液)から有機半導体膜43を形成する際に吐出液をせき止め、吐出液が側方にはみ出さないことを防止する。なお、以下に説明するアクティブマトリクス型表示装置1の製造方法において、透明基板10上に第1のTFT20および第2のTFT30を製造するまでの工程は、アクティブマトリクス型液晶表示装置のアクティブマトリクス基板を製造する工程と略同様であるため、図3(A)、(B)、(C)を参照してその概略のみを簡単に説明する。

【0061】

まず、透明基板10に対して、必要に応じて、TEOS(テトラエトキシシラン)や酸素ガスなどを原料ガスとしてプラズマCVD法により厚さが約2000～5000オングストロームのシリコン酸化膜からなる下地保護膜(図示せず。)を形成した後、下地保護膜の表面にプラズマCVD法により厚さが約300～700オングストロームのアモルファスのシリコン膜からなる半導体膜を形成する。次にアモルファスのシリコン膜からなる半導体膜に対して、レーザアニールまたは固相成長法などの結晶化工程を行い、半導体膜をポリシリコン膜に結晶化する。

【0062】

次に、半導体膜をパターニングして島状の半導体膜とし、その表面に対して、TEOS(テトラエトキシシラン)や酸素ガスなどを原料ガスとしてプラズマCVD法により厚さが約600～1500オングストロームのシリコン酸化膜または窒化膜からなるゲート絶縁膜57を形成する。

【0063】

10

20

30

40

50

次に、アルミニウム、タンタル、モリブデン、チタン、タンクスチールなどの金属膜からなる導電膜をスパッタ法により形成した後、パターニングし、ゲート電極 21、31、およびゲート電極 31 の延設部分 36 を形成する（ゲート電極形成工程）。この工程では走査線 gate も形成する。

【0064】

この状態で、高濃度のリンイオンを打ち込んで、ゲート電極 21、31 に対して自己整合的にソース・ドレイン領域を形成する。なお、不純物が導入されなかつた部分がチャネル領域となる。

次に、第 1 の層間絶縁膜 51 を形成した後、各コンタクトホールを形成し、次に、データ線 sig、ドレイン電極 22、共通給電線 com、共通給電線 com の延設部分 39、および中継電極 35 を形成する。その結果、第 1 の TFT20、第 2 の TFT30、および保持容量 cap が形成される。

10

【0065】

次に、第 2 の層間絶縁膜 52 を形成し、この層間絶縁膜には、中継電極 35 に相当する部分にコンタクトホール形成する。次に、第 2 の層間絶縁膜 52 の表面全体に ITO 膜を形成した後、パターニングし、コンタクトホールを介して第 2 の TFT30 のソース・ドレイン領域に電気的に接続する画素電極 41 を画素 7 每に形成する。

【0066】

次に、第 2 の層間絶縁膜 52 の表面側に PECVD 法などで無機材料からなる膜（下層側絶縁膜 61 を形成するための無機膜）を形成した後、走査線 gate およびデータ線 sig に沿ってレジスト（上層側絶縁膜 62）を形成する。しかる後に、このレジストをマスクとして無機材料から成る膜にパターニングを施し、下層側絶縁膜 61 を形成する。このようにして下層側絶縁膜 61 をパターニングにより形成する際でも、下層側絶縁膜 61 が薄いので、オーバーエッティングが起こらない。従って、画素電極 41 が損傷することはない。

20

【0067】

このようなエッティング工程を行うと、無機材料からなる膜は走査線 gate およびデータ線 sig に沿って残り、下層側絶縁膜 61 が形成される。このようにして下層側絶縁膜 61 と上層側絶縁膜 62 とからなる 2 層構造のバンク層 bank が形成される。このときには、データ線 sig に沿って残すレジスト部分は共通給電線 com を覆うように幅広とする。その結果、発光素子 40 の有機半導体膜 43 を形成すべき領域はバンク層 bank に囲まれる。

30

【0068】

次に、バンク層 bank でマトリクス状に区画された領域内にインクジェット法を利用して R、G、B に対応する各有機半導体膜 43 を形成していく。それには、バンク層 bank の内側領域に対してインクジェットヘッドから、有機半導体膜 43 を構成するための液状の材料（前駆体／吐出液）を吐出し、それをバンク層 bank の内側領域で定着させて有機半導体膜 43 を形成する。ここで、バンク層 bank の上層側絶縁膜 62 は、レジストやポリイミド膜から構成されているため、撥水性である。これに対して、有機半導体膜 43 の前駆体は親水性の溶媒を用いているため、有機半導体膜 43 の塗布領域はバンク層 bank によって確実に規定され、隣接する画素 7 にはみ出ることがない。それ故、有機半導体膜 43 などを所定領域内だけに形成できる。

40

【0069】

この工程において、インクジェットヘッドから吐出した前駆体は表面張力の影響で約 2 μ m ないし約 4 μ m の厚さに盛り上がるため、バンク層 bank は約 1 μ m ないし約 3 μ m の厚さが必要である。この状態では、インクジェットヘッドから吐出した前駆体は上層側絶縁膜 62 に接する状態にあるが、100 °C ~ 150 °C の熱処理を施した後は、前駆体から溶媒成分が除去されるので、バンク層 bank の内側に定着した後の有機半導体膜 43 の厚さは約 0.05 μ m から約 0.2 μ m である。それ故、この状態では有機半導体膜 43 は上層側絶縁膜 62 には接していない。

50

【0070】

なお、予めバンク層bankからなる隔壁が $1\text{ }\mu\text{m}$ 以上の高さであれば、バンク層bankが撥水性でなくても、バンク層bankは隔壁として十分に機能する。かかる厚いバンク層bankを形成しておけば、インクジェット法に代えて、塗布法で有機半導体膜43を形成する場合でもその形成領域を規定できる。

【0071】

しかる後には、透明基板10の略全面に対向電極opを形成する。

このような製造方法によれば、インクジェット法を利用して所定の領域にR、G、Bに対応する各有機半導体膜43を形成していけるので、フルカラーのアクティブマトリクス型表示装置1を高い生産性で製造できる。

10

【0072】

なお、図1に示すデータ側駆動回路3や走査側駆動回路4にもTFTが形成されるが、これらのTFTは前記の画素7にTFTを形成していく工程の全部あるいは一部を援用して行われる。それ故、駆動回路を構成するTFTも、画素7のTFTと同一の層間に形成されることになる。また、前記第1のTFT20、および第2のTFT30については、双方がN型、双方がP型、一方がN型で他方がP型のいずれでもよいが、このようないずれの組合せであっても周知の方法でTFTを形成していけるので、その説明を省略する。

【実施の形態2】

図4(A)、(B)、(C)はそれぞれ、本形態のアクティブマトリクス型表示装置における図2のA-A'線、B-B'線、およびC-C'線に相当する位置での断面図である。なお、本形態と実施の形態1とは基本的な構成が同一なので、共通する部分には同一の符号を図4に付してそれらの詳細な説明を省略する。また、本形態のアクティブマトリクス型表示装置におけるバンク層bankの形成領域は、実施の形態1と同様であるため、同じく図1および図2を参照して説明する。

20

【0073】

本形態でも、データ線sigには大きな容量が寄生することを防止するため、図1、図2、図4(A)、(B)、(C)に示すように、データ線sigおよび走査線gateに沿って、有機半導体膜41よりも厚い絶縁膜(バンク層bank/左下がりの1本の斜線、または2本で一組の斜線を広いピッチで付した領域)を設け、このバンク層bankの上層側に対向電極opを形成してある。

30

【0074】

ここで、バンク層bankは、有機半導体膜41よりも厚く形成されたシリコン酸化膜あるいはシリコン窒化膜などの無機材料からなる下層側絶縁膜61と、この下層側絶縁膜61上に積層されたレジストあるいはポリイミド膜などの有機材料からなる上層側絶縁膜62とから構成されている点では、実施の形態1と同様である。

40

【0075】

本形態では、図4(A)、(B)、(C)からわかるように、有機材料からなる上層側絶縁膜61については、無機材料からなる下層側絶縁膜61より狭い幅をもってこの下層側絶縁膜61の内側領域に積層されている。たとえば、上層側絶縁膜61と画素電極41との重なり部分の幅は $1\text{ }\mu\text{m}\sim 3\text{ }\mu\text{m}$ であり、下層側絶縁膜61と上層側絶縁膜62との間には片側 $1\text{ }\mu\text{m}\sim 5\text{ }\mu\text{m}$ のずれがある。

【0076】

このため、バンク層bankは、幅の異なる下層側絶縁膜61と上層側絶縁膜61が積層された2段構造になっている。このような2段構造であれば、上層側絶縁膜62は、厚い膜を形成するのが容易なレジストやポリイミド膜から構成されているので、下層側絶縁膜61のみを無機材料から構成すればよい。従って、厚いバンク層bank全体を無機材料で構成する場合と違って、長い時間をかけて無機材料からなる膜をPECVD法などで成膜する必要がない。それ故、アクティブマトリクス型表示装置1の生産性を高めることができる。

【0077】

50

また、かかる2段構造であれば、有機半導体膜41は無機材料からなる下層側絶縁膜61とは接しているが、上層側絶縁膜62とは接していない。しかも、上層側絶縁膜62は下層側絶縁膜61より内側に形成されているので、その分、有機半導体膜43と上層側絶縁膜62とは接しにくい。それ故、有機材料から構成されている上層側絶縁膜62の影響を受けて有機半導体膜41が劣化するのを確実に防止でき、薄膜発光素子40では発光効率の低下や信頼性の低下が起きない。

【0078】

その他の構成は実施の形態1と同様である。ここで、いずれの画素7もバンク層bankで囲まれている。このため、インクジェット法を利用して所定の領域にR、G、Bに対応する各有機半導体膜43を形成していくので、フルカラーのアクティブマトリクス型表示装置1を高い生産性で製造できるなど、実施の形態1と同様な効果を奏する。

10

【0079】

このような構造のバンク層bankを形成するにあたっては、第2の層間絶縁膜52の表面側にPECV法などで無機材料からなる膜（下層側絶縁膜61を形成するための無機膜）を形成した後、それを走査線gateおよびデータ線sigに沿って残し、下層側絶縁膜61を形成した後、このパターニングに用いたレジストを除去し、しかる後に、下層側絶縁膜61の上層にそれより幅の狭いレジストやポリイミドを上層側絶縁膜62として形成すればよい。このようにして、下層側絶縁膜61をパターニングにより形成する際でも、下層側絶縁膜61が薄いので、オーバーエッチングが起こらない。従って、画素電極41が損傷することはない。

20

【実施の形態3】

本形態のアクティブマトリクス型表示装置1は、バンク層bankを構成する材料が実施の形態2と相違するだけで、その構造は実施の形態2で同様である。従って、共通する部分については同一の符号を付して図示し、それらの説明を省略する。また、実施の形態2と同様、図1、図2、および図4を参照して説明する。

【0080】

本形態でも、データ線sigには大きな容量が寄生することを防止するため、図1、図2、図4（A）、（B）、（C）に示すように、データ線sigおよび走査線gateに沿って、有機半導体膜41よりも厚い絶縁膜（バンク層bank／左下がりの1本、または2本で一組の斜線を広いピッチで付した領域）を設け、このバンク層bankの上層側に対向電極opを形成してある。

30

【0081】

ここで、バンク層bankは、有機半導体膜41よりも厚く形成されたシリコン窒化膜などの無機材料からなる下層側絶縁膜61と、この下層側絶縁膜61上に積層されたシリコン酸化膜などの無機材料からなる上層側絶縁膜62とから構成されている。このような2層構造であれば、有機半導体膜43は有機材料と接していないので、有機材料の影響を受けて劣化することがない。それ故、薄膜発光素子40では、発光効率の低下や信頼性の低下が起きない。

【0082】

ここで、上層側絶縁膜61については下層側絶縁膜61より狭い幅をもってこの下層側絶縁膜61の内側領域に積層されている。このため、バンク層bankは、幅の異なる下層側絶縁膜61と上層側絶縁膜61が積層された2段構造になっている。

40

【0083】

かかる2段構造のバンク層bankを形成するにあたっては、下層側絶縁膜61および上層側絶縁膜62を構成すべき無機材料（シリコン窒化膜およびシリコン酸化膜）を順次形成した後、まず、上層側絶縁膜62をパターニングする。この際には、下層側絶縁膜61がエッチングストッパーとして機能するので、多少のオーバーエッチングがあっても画素電極41を損傷することはない。かかるパターニングを終えた後には下層側絶縁膜61をパターニング形成する。この際には、下層側絶縁膜61の1層分をエッチングするだけなので、エッチング制御が容易で、画素電極41を損傷するほどのオーバーエッチングが起

50

きない。

【0084】

その他の構成は実施の形態1、2と同様である。従って、いずれの画素7もバンク層bankで囲まれている。このため、インクジェット法を利用して所定の領域にR、G、Bに対応する各有機半導体膜43を形成していけるので、フルカラーのアクティブマトリクス型表示装置1を高い生産性で製造できるなど、実施の形態1と同様な効果を奏する。

【実施の形態1、2、3の変形例】

なお、上記形態では、データ線sigおよび走査線gateに沿ってバンク層bankを形成してあるため、バンク層bankで各画素7をマトリクス状に区画した構成であったが、データ線sigに沿ってのみバンク層bankを形成してもよい。この場合にも、バンク層bankでストライプ状に区画された領域内にインクジェット法を利用してR、G、Bに対応する各有機半導体膜43をストライプ状に形成できるので、フルカラーのアクティブマトリクス型表示装置1を高い生産性で製造できる。

【0085】

また、上記形態では、バンク層bankが区画した領域の隅部分はいずれも角形になっていたが、そこに丸みをもたせれば、有機半導体膜43を角のない丸みをもった平面形状に形成できる。このような形状の有機半導体膜43であれば、角部分の駆動電流が集中することがないので、この部分での耐圧不足などの不具合の発生を防止できる。

【実施の形態4】

本形態のアクティブマトリクス型表示装置1は、基本的な構造が実施の形態1ないし3と同様であるため、同じく図1を参照して説明するとともに、共通する部分には同じ符号を付して図示し、それらの説明を省略する。

【0086】

図5は、本形態のアクティブマトリクス型表示装置に構成されている画素の1つを抜き出して示す平面図、図6(A)、(B)、(C)はそれぞれ図5のA-A'、B-B'、C-C'断面図である。

【0087】

本形態では、以下に説明するように、下層側絶縁膜61と上層側絶縁膜62とを部分的に重ね、それぞれを異なる機能を発揮させている。すなわち、本形態でも、図1に示すように、複数の走査線gateと、該走査線gateの延設方向に対して交差する方向に延設された複数のデータ線sigと、該データ線sigに並列する複数の共通給電線comと、データ線sigと走査線gateとによってマトリクス状に形成された複数の画素7とが構成されている。

【0088】

本形態においては、図5および図6に示すように、下層側絶縁膜61(左下がりの2本で一組の斜線を付した領域)は、画素電極41の形成領域のうち導通制御回路50の形成領域と重なる領域、データ線sig、共通給電線com、および走査線gateを覆うように形成されている。これに対して、上層側絶縁膜62(左下がりの斜線を広いピッチで付した領域)は、下層側絶縁膜61の形成領域のうち、データ線sigに沿う部分のみにストライプ状に形成されている。また、この上層側絶縁膜62でストライプ状に区画された領域内に有機半導体膜43が形成されている。

【0089】

このように構成した場合も、有機半導体膜43をインクジェット法により形成する際には、下層側絶縁膜61と上層側絶縁膜62が重なる部分を吐出液のはみ出しを防止するバンク層bankとして利用しながら、有機半導体膜43をストライプ状に形成できる。そこで、本形態では、下層側絶縁膜61と上層側絶縁膜62が重なる部分は、膜厚が1μm以上になるように構成してある。

【0090】

このように構成した場合も、データ線sigと対向電極opとの間に第2の層間絶縁膜52と厚いバンク層bank(下層側絶縁膜61と上層側絶縁膜62)とが介在しているの

10

20

30

40

50

で、データ線 *sig* に寄生する容量が極めて小さい。それ故、駆動回路 3、4 の負荷を低減でき、低消費電力化あるいは表示動作の高速化を図ることができる。

【0091】

また、ストライプ状に有機半導体膜 43 を形成したが、画素電極 41 の形成領域のうち導通制御回路 50 の形成領域と重なる領域、および走査線 *gate* は、下層側絶縁膜 62 で覆われているので、各画素 7 のうち、画素電極 41 の平坦部分のみに形成された有機半導体膜 43 が発光に寄与する。すなわち、画素電極 41 の平坦部分のみに薄膜発光素子 40 が形成されていることになる。それ故、有機半導体膜 43 は一定の膜厚で形成され、表示むらや駆動電流の集中を起こさない。また、表示に寄与しない部分に駆動電流が流れるのを下層側絶縁膜 61 で防止するので、共通給電線 *com* に無駄な電流が流れることを防止できるという効果もある。

10

【0092】

ここで、下層側絶縁膜 61 については有機半導体膜 41 よりも厚く形成されたシリコン酸化膜あるいはシリコン窒化膜などの無機材料から構成し、上層側絶縁膜 62 についてはレジストあるいはポリイミド膜などの有機材料から構成すれば、下層側絶縁膜 61 のみを無機材料から構成すればよいことになる。従って、厚いバンク層 *bank* 全体を無機材料で構成する場合と違って、長い時間をかけて無機材料からなる膜を P E C V D 法などで成膜する必要がない。それ故、アクティブマトリクス型表示装置 1 を生産性を高めることができる。また、かかる 2 層構造であれば、有機半導体膜 41 は無機材料からなる下層側絶縁膜 61 とは接しているが、有機材料からなる上層側絶縁膜 62 とは接していない。それ故、有機半導体膜 41 は、有機材料から構成されている上層側絶縁膜 62 の影響を受けて劣化することができないので、薄膜発光素子 40 では、発光効率の低下や信頼性の低下が起きないなど、実施の形態 1 と同様な効果を奏する。

20

【0093】

これに対して、下層側絶縁膜 61 については有機半導体膜 41 よりも厚く形成されたシリコン窒化膜などの無機材料から構成し、上層側絶縁膜 62 については、この下層側絶縁膜 61 上に積層されたシリコン酸化膜などの無機材料から構成した場合には、有機半導体膜 43 は有機材料と接していないので、有機材料の影響を受けて劣化することができない。それ故、薄膜発光素子 40 では、発光効率の低下や信頼性の低下が起きない。また、上層側絶縁膜 61 については狭い幅で下層側絶縁膜 61 の内側領域に積層してあるので、上層側絶縁膜 62 をバターニングする際には、下層側絶縁膜 61 がエッチングストップとして機能するなど、実施の形態 3 と同様な効果を奏する。

30

【実施の形態 5】

図 7 は、アクティブマトリクス型表示装置の全体のレイアウトを模式的に示すブロック図である。図 8 は、それに構成されている画素の 1 つを抜き出して示す平面図、図 9 (A)、(B)、(C) はそれぞれ、図 8 の A-A' 断面図、B-B' 断面図、および C-C' 断面図である。なお、本形態の基本的な構成は、実施の形態 1 と共通するので、共通する部分については同一の符号を付して図示し、それらの説明を省略する。

40

【0094】

本形態でも、本形態のアクティブマトリクス型表示装置 1 でも、データ線 *sig* および走査線 *gate* に沿って、有機半導体膜 41 よりも厚い絶縁膜（バンク層 *bank* / 左下がりの 1 本の斜線、または 2 本で一組の斜線を広いピッチで付した領域）を設け、このバンク層 *bank* の上層側に対向電極 *op* を形成してある。すなわち、データ線 *sig* と対向電極 *op* との間に第 2 の層間絶縁膜 52 と厚いバンク層 *bank* とが介在しているので、データ線 *sig* に寄生する容量が極めて小さい。それ故、駆動回路 3、4 の負荷を低減でき、低消費電力化あるいは表示動作の高速化を図ることができる。

【0095】

ここで、バンク層 *bank* は、有機半導体膜 41 よりも厚く形成されたシリコン酸化膜あるいはシリコン窒化膜などの無機材料からなる下層側絶縁膜 61 と、この下層側絶縁膜 6

50

1 上に積層されたレジストあるいはポリイミド膜などの有機材料からなる上層側絶縁膜 6 2 とから構成されている。たとえば、有機半導体膜 4 1、下層側絶縁膜 6 1、および上層側絶縁膜 6 2 の膜厚は、それぞれ $0.05 \mu m \sim 0.2 \mu m$ 、 $0.2 \mu m \sim 1.0 \mu m$ 、および $1 \mu m \sim 2 \mu m$ である。従って、有機半導体膜 4 1 は無機材料からなる下層側絶縁膜 6 1 とは接しているが、有機材料からなる上層側絶縁膜 6 2 とは接していない。それ故、有機半導体膜 4 1 は、有機材料から構成されている上層側絶縁膜 6 2 の影響を受けて劣化する事がないので、薄膜発光素子 4 0 では、発光効率の低下や信頼性の低下が起きないなど、実施の形態 1 と同様な効果を奏する。

【0096】

このように構成したアクティブマトリクス型表示装置 1 において、有機半導体膜 4 1 は、バンク層 bank で周囲が囲まれている。このため、このままでは、各画素 7 の対向電極 o p はバンク層 bank を乗り越えて隣接する画素 7 の対向電極 o p と接続することになる。しかるに本形態では、バンク層 bank には、データ線 sig の延設方向で隣り合う画素 7 の間に相当する部分に下層側絶縁膜 6 1 および上層側絶縁膜 6 2 の双方が途切れた途切れ部分 o f f (第 1 の途切れ部分) が形成されている。また、バンク層 bank には、走査線 gate の延設方向で隣り合う画素 7 の間に相当する部分にも下層側絶縁膜 6 1 および上層側絶縁膜 6 2 の双方が途切れた途切れ部分 o f f (第 1 の途切れ部分) が形成されている。さらに、バンク層 bank には、データ線 sig および走査線 gate の各延設方向の端部のそれぞれに下層側絶縁膜 6 1 および上層側絶縁膜 6 2 の双方が途切れた途切れ部分 o f f (第 1 の途切れ部分) が形成されている。

10

【0097】

このような途切れ部分 o f f では厚いバンク層 bank がないので、バンク層 bank に起因する大きな段差のない平坦部分であり、この部分に形成されている対向電極 o p は断線する事がない。従って、各画素 7 の対向電極 7 は、バンク層 bank に起因する段差のない平坦部分を介して確実に接続することになる。それ故、画素 7 の周りに厚い絶縁膜 (バンク層 bank) を形成して寄生容量などを抑えて、この厚い絶縁膜 (バンク層 bank) の上層に形成する対向電極 o p に断線が発生しない。

20

【0098】

また、透明基板 1 0 の周辺領域 (表示部 1 1 の外側領域) において、データ側駆動回路 3 および走査側駆動回路 4 はいずれも、バンク層 bank (形成領域に斜線を付してある。) によって覆われている。このため、これらの駆動回路の形成領域に対して対向電極 o p が重なる状態にあっても、駆動回路の配線層と対向電極 o p との間にバンク層 bank が介在することになる。それ故、駆動回路 3、4 に容量が寄生することを防止できるため、駆動回路 3、4 の負荷を低減でき、低消費電力化あるいは表示動作の高速化を図ることができる。

30

【0099】

しかも、走査側駆動回路 4 およびデータ側駆動回路 3 の上層側に形成されたバンク層 bank は、走査側駆動回路 4 の形成領域とデータ側駆動回路 3 の形成領域との間に相当する位置に下層側絶縁膜 6 1 および上層側絶縁膜 6 2 の双方が途切れた途切れ部分 o f f (第 2 の途切れ部分) が形成されている。このため、表示部 1 1 の側の対向電極 o p と基板外周側の対向電極 o p とは、バンク層 bank の途切れ部分 o f f を介して接続し、この途切れ部分 o f f もバンク層 bank に起因する段差のない平坦部分である。従って、この途切れ部分 o f f に形成されている対向電極 o p は断線する事がないので、表示部 1 1 の側の対向電極 o p と基板外周側の対向電極 o p とは、バンク層 bank の途切れ部分 o f f を介して確実に接続し、基板外周側の対向電極 o p に配線接続されている端子 1 2 と表示部 1 1 の対向電極 o p とは確実に接続している。

40

【0100】

さらに、本形態では、画素電極 4 1 の形成領域のうち、導通制御回路 5 0 の中継電極 3 5 と重なる領域にもバンク層 bank が形成されているため、無駄な無効電流が流れることを防止できる。それ故、共通給電線 com の幅はその分、狭くてよい。

50

【0101】

このような構成のアクティブマトリクス型表示装置1を製造する際にも、実施の形態1と同様、第2の層間絶縁膜52の表面側に、走査線gateおよびデータ線sigに沿ってバンク層bankを形成する。このとき、バンク層bankの所定部分には途切れ部分o_{ff}を形成しておく。また、データ線sigに沿って形成するバンク層bankは共通給電線comを覆うように幅広とする。その結果、薄膜発光素子40の有機半導体膜43を形成すべき領域はバンク層bankに囲まれる。

【0102】

次に、バンク層bankでマトリクス状に区画された領域内にインクジェット法を利用してR、G、Bに対応する各有機半導体膜43を形成していく。それには、バンク層bankの内側領域に対してインクジェットヘッドから、有機半導体膜43を構成するための液状の材料（前駆体）を吐出し、それをバンク層bankの内側領域で定着させて有機半導体膜43を形成する。ここで、バンク層bankの上層側絶縁膜62は、レジストやポリイミド膜から構成されているため、撥水性である。これに対して、有機半導体膜43の前駆体は親水性の溶媒を用いているため、有機半導体膜43の塗布領域はバンク層bankによって確実に規定され、隣接する画素7にはみ出ることがない。また、有機半導体膜43の形成領域を区画するバンク層bankに途切れ部分o_{ff}があったとしても、かかる途切れ部分o_{ff}は狭いので、有機半導体膜43の塗布領域はバンク層bankによって確実に規定され、隣接する画素7にはみ出ることがない。それ故、有機半導体膜43などを所定領域内だけに形成できる。

【0103】

なお、インクジェットヘッドから吐出した前駆体は表面張力の影響で約2μmないし約4μmの厚さに盛り上がるため、バンク層bankは約1μmないし約3μmの厚さが必要である。この状態では、インクジェットヘッドから吐出した前駆体は上層側絶縁膜62に接する状態にあるが、100℃～150℃の熱処理を施した後は、前駆体から溶媒成分が除去されるので、バンク層bankの内側に定着した後の有機半導体膜43の厚さは約0.05μmから約0.2μmである。それ故、この状態では有機半導体膜43は上層側絶縁膜62には接していない。

【0104】

なお、予めバンク層bankからなる隔壁が1μm以上の高さであれば、バンク層bankが撥水性でなくても、バンク層bankは隔壁として十分に機能する。従って、かかる厚いバンク層bankを形成しておけば、インクジェット法に代えて、塗布法で有機半導体膜43を形成する場合でもその形成領域を規定できる。

[実施の形態5の変形例1]

図10は、アクティブマトリクス型表示装置の全体のレイアウトを模式的に示すブロック図である。図11は、それに構成されている画素の1つを抜き出して示す平面図、図12(A)、(B)、(C)はそれぞれ図11のA-A'、B-B'、C-C'断面図である。なお、本形態と実施の形態1とは基本的な構成が同一なので、共通する部分には同一の符号を各図に付してそれらの詳細な説明を省略する。

【0105】

図10、図11、および図12(A)、(B)、(C)に示すように、本形態のアクティブマトリクス型表示装置1でも、データ線sigおよび走査線gateに沿って、有機半導体膜41よりも厚い絶縁膜（バンク層bank／左下がりの1本の斜線、または2本で一組の斜線を広いピッチで付した領域）を設け、このバンク層bankの上層側に対向電極opを形成してある。すなわち、データ線sigと対向電極opとの間に第2の層間絶縁膜52と厚いバンク層bankとが介在しているので、データ線sigに寄生する容量が極めて小さい。

【0106】

それ故、駆動回路3、4の負荷を低減でき、低消費電力化あるいは表示動作の高速化を図ることができる。ここで、バンク層bankは、有機半導体膜41よりも厚く形成された

10

20

30

40

50

シリコン酸化膜あるいはシリコン窒化膜などの無機材料からなる下層側絶縁膜61と、この下層側絶縁膜61上に積層されたレジストあるいはポリイミド膜などの有機材料からなる上層側絶縁膜62とから構成されている。従って、有機半導体膜41は無機材料からなる下層側絶縁膜61とは接しているが、有機材料からなる上層側絶縁膜62とは接していない。それ故、有機半導体膜41は、有機材料から構成されている上層側絶縁膜62の影響を受けて劣化する事がないので、薄膜発光素子40では、発光効率の低下や信頼性の低下が起きないなど、実施の形態1と同様な効果を奏する。

【0107】

また、本形態では、データ線sigおよび走査線gateに沿ってバンク層bankを形成してあるため、いずれの画素7もバンク層bankで囲まれている。このため、インクジェット法を利用して所定の領域にR、G、Bに対応する各有機半導体膜43を形成していけるので、フルカラーのアクティブマトリクス型表示装置1を高い生産性で製造できる。

10

【0108】

しかも、バンク層bankには、走査線gateの延設方向で隣り合う画素7の間に相当する部分に途切れ部分off(第1の途切れ部分)が形成されている。また、バンク層bankには、データ線sigおよび走査線gateの各延設方向の端部のそれぞれにも途切れ部分off(第1の途切れ部分)が形成されている。さらに、走査側駆動回路4およびデータ側駆動回路3の上層側に形成されたバンク層bankは、走査側駆動回路4の形成領域とデータ側駆動回路3の形成領域との間に相当する位置に途切れ部分off(第2の途切れ部分)が形成されている。従って、対向電極opは、バンク層bankに起因する段差のない平坦部分(途切れ部分off)を介して確実に接続し、断線する事がない。

20

【実施の形態5の変形例2】

図13は、アクティブマトリクス型表示装置の全体のレイアウトを模式的に示すブロック図である。図14は、それに構成されている画素の1つを抜き出して示す平面図、図15(A)、(B)、(C)はそれぞれ図14のA-A'、B-B'、C-C'断面図である。なお、本形態と実施の形態1とは基本的な構成が同一なので、共通する部分には同一の符号を各図に

付してそれらの詳細な説明を省略する。

30

【0109】

図13、図14、および図15(A)、(B)、(C)に示すように、本形態のアクティブマトリクス型表示装置1でも、データ線sigおよび走査線gateに沿って、有機半導体膜41よりも厚い絶縁膜(バンク層bank/左下がりの1本の斜線、または2本で1組の斜線を広いピッチで付した領域)を設け、このバンク層bankの上層側に対向電極opを形成している。すなわち、データ線sigと対向電極opとの間に第2の層間絶縁膜52と厚いバンク層bankとが介在しているので、データ線sigに寄生する容量が極めて小さい。それ故、駆動回路3、4の負荷を低減でき、低消費電力化あるいは表示動作の高速化を図ることができる。

40

【0110】

ここで、バンク層bankは、有機半導体膜41よりも厚く形成されたシリコン酸化膜あるいはシリコン窒化膜などの無機材料からなる下層側絶縁膜61と、この下層側絶縁膜61上に積層されたレジストあるいはポリイミド膜などの有機材料からなる上層側絶縁膜62とから構成されている。従って、有機半導体膜41は無機材料からなる下層側絶縁膜61とは接しているが、有機材料からなる上層側絶縁膜62とは接していない。それ故、有機半導体膜41は、有機材料から構成されている上層側絶縁膜62の影響を受けて劣化する事がないので、薄膜発光素子40では、発光効率の低下や信頼性の低下が起きないなど、実施の形態1と同様な効果を奏する。

【0111】

また、本形態では、データ線sigおよび走査線gateに沿ってバンク層bankを形

50

成してあるため、いずれの画素 7 もバンク層 bank で囲まれている。このため、インクジェット法を利用して所定の領域に R、G、B に対応する各有機半導体膜 4 3 を形成していけるので、フルカラーのアクティブマトリクス型表示装置 1 を高い生産性で製造できる。

【0112】

しかも、バンク層 bank には、データ線 sig の延設方向で隣り合う画素 7 の間に相当する部分に途切れ部分 off (第 1 の途切れ部分) が形成されている。また、バンク層 bank には、データ線 sig および走査線 gate の各延設方向の端部のそれぞれにも途切れ部分 off (第 1 の途切れ部分) が形成されている。

【0113】

さらに、走査側駆動回路 4 およびデータ側駆動回路 3 の上層側に形成されたバンク層 bank は、走査側駆動回路 4 の形成領域とデータ側駆動回路 3 の形成領域との間に相当する位置に途切れ部分 off (第 2 の途切れ部分) が形成されている。従って、対向電極 op は、バンク層 bank に起因する段差のない平坦部分 (途切れ部分 off) を介して確実に接続し、断線することがない。

【実施の形態 5 の変形例 3】

図 16 は、アクティブマトリクス型表示装置の全体のレイアウトを模式的に示すブロック図である。図 17 は、それに構成されている画素の 1 つを抜き出して示す平面図、図 18 (A)、(B)、(C) はそれぞれ図 17 の A-A' 断面図、B-B' 断面図、および C-C' 断面図である。なお、本形態と実施の形態 1、5 とは基本的な構成が同一なので、共通する部分には同一の符号を各図に付してそれらの詳細な説明を省略する。

【0114】

図 16、図 17、および図 18 (A)、(B)、(C) に示すように、本形態のアクティブマトリクス型表示装置 1 でも、データ線 sig および走査線 gate に沿って、有機半導体膜 4 1 よりも厚い絶縁膜 (バンク層 bank / 左下がりの 1 本の斜線、または 2 本で一組の斜線を広いピッチで付した領域) を設け、このバンク層 bank の上層側に対向電極 op を形成してある。すなわち、データ線 sig と対向電極 op との間に第 2 の層間絶縁膜 5 2 と厚いバンク層 bank とが介在しているので、データ線 sig に寄生する容量が極めて小さい。

【0115】

それ故、駆動回路 3、4 の負荷を低減でき、低消費電力化あるいは表示動作の高速化を図ることができる。

【0116】

ここで、バンク層 bank は、有機半導体膜 4 1 よりも厚く形成されたシリコン酸化膜あるいはシリコン窒化膜などの無機材料からなる下層側絶縁膜 6 1 と、この下層側絶縁膜 6 1 上に積層されたレジストあるいはポリイミド膜などの有機材料からなる上層側絶縁膜 6 2 とから構成されている。

【0117】

また、本形態では、データ線 sig および走査線 gate に沿ってバンク層 bank を形成してあるため、いずれの画素 7 もバンク層 bank で囲まれている。このため、インクジェット法を利用して所定の領域に R、G、B に対応する各有機半導体膜 4 3 を形成していけるので、フルカラーのアクティブマトリクス型表示装置 1 を高い生産性で製造できる。

【0118】

しかも、バンク層 bank には、データ線 sig の延設方向で隣り合う画素 7 の間に相当する部分に途切れ部分 off (第 1 の途切れ部分) が形成されている。また、バンク層 bank には、データ線 sig および走査線 gate の各延設方向の端部のそれぞれにも途切れ部分 off (第 1 の途切れ部分) が形成されている。さらに、走査側駆動回路 4 およびデータ側駆動回路 3 の上層側に形成されたバンク層 bank は、走査側駆動回路 4 の形

10

20

30

40

50

成領域とデータ側駆動回路3の形成領域との間に相当する位置に途切れ部分o_ff（第2の途切れ部分）が形成されている。

【0119】

但し、本形態において、途切れ部分o_ffでは、バンク層bankを形成するのに用いた下層側絶縁膜61（2本で一組の斜線を付した領域）および上層側絶縁膜62（左下がりの1本の斜線を付した領域）のうち、上層側絶縁膜62のみが途切れており、途切れ部分o_ffであってもそこには下層側絶縁膜61は形成されている。

【0120】

このように構成した場合も、途切れ部分o_ffには薄い下層側絶縁膜61があるだけで、厚い上層側絶縁膜62がないので、対向電極o_pは、途切れ部分o_ffを介して確実に接続し、断線することがない。

10

【0121】

なお、上記形態では、第1の途切れ部分および第2の途切れ部分の双方において下層側絶縁膜61が形成されている構成であったが、本発明はこれに限定されるものではなく、第1の途切れ部分および第2の途切れ部分のいずれか一方のみに下層側絶縁膜61が形成されている構成であってもよい。また、本形態のように途切れ部分に下層側絶縁膜61が形成されている構成は、その他の実施の形態で説明したパターンのバンク層bankに適用してもよい。

【実施の形態6】

20

図19は、アクティブマトリクス型表示装置の全体のレイアウトを模式的に示すブロック図である。図20は、それに構成されている画素の1つを抜き出して示す平面図、図21(A)、(B)、(C)はそれぞれ図20のA-A'断面図、B-B'断面図、およびC-C'断面図である。なお、本形態と実施の形態1とは基本的な構成が同一なので、共通する部分には同一の符号を各図に付してそれらの詳細な説明を省略する。

【0122】

20

図19、図20、および図21(A)、(B)、(C)に示すように、本形態のアクティブマトリクス型表示装置1では、データ線sigに沿って、有機半導体膜41よりも厚い絶縁膜（バンク層bank/左下がりの1本の斜線、または2本で一組の斜線を広いピッチで付した領域）を設け、このバンク層bankの上層側に対向電極o_pを形成してある。すなわち、データ線sigと対向電極o_pとの間に第2の層間絶縁膜52と厚いバンク層bankとが介在しているので、データ線sigに寄生する容量が極めて小さい。それ故、駆動回路3、4の負荷を低減でき、低消費電力化あるいは表示動作の高速化を図ることができる。

30

【0123】

30

ここで、バンク層bankは、有機半導体膜41よりも厚く形成されたシリコン酸化膜あるいはシリコン窒化膜などの無機材料からなる下層側絶縁膜61と、この下層側絶縁膜61上に積層されたレジストあるいはポリイミド膜などの有機材料からなる上層側絶縁膜62とから構成されている。従って、有機半導体膜41は無機材料からなる下層側絶縁膜61とは接しているが、有機材料からなる上層側絶縁膜62とは接していない。それ故、有機半導体膜41は、有機材料から構成されている上層側絶縁膜62の影響を受けて劣化することができないので、薄膜発光素子40では、発光効率の低下や信頼性の低下が起きないなど、実施の形態1と同様な効果を奏する。

40

【0124】

また、本形態では、データ線sigに沿ってバンク層bankを形成してあるため、バンク層bankでストライプ状に区画された領域内にインクジェット法を利用してR、G、Bに対応する各有機半導体膜43をストライプ状に形成していくので、フルカラーのアクティブマトリクス型表示装置1を高い生産性で製造できる。

【0125】

40

しかも、バンク層bankには、データ線sigの延設方向の端部に、下層側絶縁膜61および上層側絶縁膜62の双方が途切れた途切れ部分o_ff（第1の途切れ部分）が形成

50

されている。従って、各画素 7 の対向電極 o p は、走査線 g a t e の延設方向では、隣接する画素 7 の対向電極 o p に対して厚いバンク層 b a n k を乗り越えて接続している。それでも、データ線 s i g の延設方向を辿っていくと、各画素 7 の対向電極 o p は、データ線 s i g の端部で途切れ部分 o f f (バンク層 b a n k に起因する段差のない平坦部分) を介して、走査線 g a t e の延設方向で隣接する画素 7 の列と接続している。それ故、各画素 7 の対向電極 o p は、バンク層 b a n k に起因する段差のない平坦部分を介して他の画素 7 の対向電極 o p に接続しているといえ、いずれの画素 7 の対向電極 o p も断線状態になることはない。

【 0 1 2 6 】

また、透明基板 1 0 の周辺領域（表示部 1 1 の外側領域）において、データ側駆動回路 3 および走査側駆動回路 4 はいずれも、バンク層 b a n k によって覆われている。このため、これらの駆動回路の形成領域に対して対向電極 o p が重なる状態にあっても、駆動回路の配線層と対向電極 o p との間にバンク層 b a n k が介在することになる。それ故、駆動回路 3、4 に容量が寄生することを防止できるため、駆動回路 3、4 の負荷を低減でき、低消費電力化あるいは表示動作の高速化を図ることができる。

10

【 0 1 2 7 】

さらに、走査側駆動回路 4 およびデータ側駆動回路 3 の上層側に形成されたバンク層 b a n k は、走査側駆動回路 4 の形成領域とデータ側駆動回路 3 の形成領域との間に相当する位置に途切れ部分 o f f (第 2 の途切れ部分) が形成されている。従って、対向電極 o p は、バンク層 b a n k に起因する段差のない平坦部分（途切れ部分 o f f ）を介して確実に接続し、断線することがない。

20

[その他の実施の形態]

なお、実施の形態 5 の変形例 3 で説明したように、バンク層 b a n k の途切れ部分 o f f では上層側絶縁膜 6 2 のみが途切れているという構成は、実施の形態 6 に適用してもよい。

【 0 1 2 8 】

また、実施の形態 5、6 で説明したように、バンク層 b a n k に対して途切れ部分 o f f を形成することにより対向電極 o p の断線を防ぐという発明は、実施の形態 3 で説明した無機材料からなるバンク層 b a n k を用いた場合に適用することもできる。

30

(発明の利用可能性)

以上説明したように、本発明に係るアクティブマトリクス型表示装置では、有機半導体膜の形成領域を囲むように絶縁膜を形成するのに、この絶縁膜を有機半導体膜よりも厚い無機材料からなる下層側絶縁膜と、その上に積層された有機材料からなる上層側絶縁膜とから構成する。従って、本発明によれば、データ線と対向電極との間に厚い絶縁膜を介在させたので、データ線に容量が寄生することを防止できる。

このため、データ側駆動回路の負荷を低減できるので、低消費電力化あるいは表示動作の高速化を図ることができる。また、本発明では、薄膜発光素子の有機半導体膜と接する下層側絶縁膜のみを無機材料から構成し、その上層側には、厚い膜を容易に形成できるレジストなどの有機材料から構成した上層側絶縁膜を積層しているので、生産性が高い。しかも、上層側絶縁膜は有機半導体膜と接しておらず、有機半導体膜と接するものは無機材料から構成した下層側絶縁膜なので、有機半導体膜は上層側絶縁膜の影響を受けて劣化することができない。それ故、薄膜発光素子は発光効率の低下や信頼性の低下などを起こさない。

40

【 0 1 2 9 】

ここで、上層側絶縁膜を下層側絶縁膜より狭い幅をもってこの下層側絶縁膜の内側領域に積層した場合には、有機材料から構成された上層側絶縁膜は、有機半導体膜により接しにくくなるので、有機半導体膜の劣化をより確実に防止できる。

【 0 1 3 0 】

本発明の別の形態では、有機半導体膜の形成領域を囲むように絶縁膜を形成するのに、無機材料からなる下層側絶縁膜と、この下層側絶縁膜より狭い幅をもってこの下層側絶縁膜の内側領域に積層された無機材料からなる上層側絶縁膜とから構成する。従って、本発明

50

でも、データ線と対向電極との間に厚い絶縁膜を介在させたので、データ線に容量が寄生することを防止できる。このため、データ側駆動回路の負荷を低減できるので、低消費電力化あるいは表示動作の高速化を図ることができる。また、下層側絶縁膜および上層側絶縁膜を構成すべき無機材料からなる膜を形成した後、上層側絶縁膜をパターニングする際には、下層側絶縁膜がエッチングストッパーとして機能するので、多少のオーバーエッチングがあっても画素電極を損傷することはない。かかるパターニングを終えた後に下層側絶縁膜をパターニング形成する際には、下層側絶縁膜の1層分をエッチングするだけなので、エッチング制御が容易で、画素電極を損傷するほどのオーバーエッチングが起きない。

【図面の簡単な説明】

【図1】本発明の実施の形態1に係るアクティブマトリクス型表示装置の全体のレイアウトを模式的に示すブロック図である。

【図2】図1に示すアクティブマトリクス型表示装置に構成されている画素の1つを抜き出して示す平面図である。

【図3】図3(A)、図3(B)、図3(C)はそれぞれ、図2のA-A'断面図、B-B'断面図、およびC-C'断面図である。

【図4】図4(A)、図4(B)、図4(C)はそれぞれ、本発明の実施の形態2、3に係るアクティブマトリクス型表示装置の図2のA-A'線、B-B'線、およびC-C'線に相当する位置での断面図である。

【図5】本発明の実施の形態4に係るアクティブマトリクス型表示装置に構成されている画素の1つを抜き出して示す平面図である。

【図6】図6(A)、(B)、(C)はそれぞれ、図5のA-A'線、B-B'線、およびC-C'線に相当する位置での断面図である。

【図7】本発明の実施の形態5に係るアクティブマトリクス型表示装置の全体のレイアウトを模式的に示すブロック図である。

【図8】図7に示すアクティブマトリクス型表示装置に構成されている画素の1つを抜き出して示す平面図である。

【図9】図9(A)、図9(B)、図9(C)はそれぞれ、図8のA-A'線、B-B'線、およびC-C'線に相当する位置での断面図である。

【図10】本発明の実施の形態5の変形例1に係るアクティブマトリクス型表示装置の全体のレイアウトを模式的に示すブロック図である。

【図11】図10に示すアクティブマトリクス型表示装置に構成されている画素の1つを抜き出して示す平面図である。

【図12】図12(A)、図12(B)、図12(C)はそれぞれ、図11のA-A'線、B-B'線、およびC-C'線に相当する位置での断面図である。

【図13】本発明の実施の形態5の変形例2に係るアクティブマトリクス型表示装置の全体のレイアウトを模式的に示すブロック図である。

【図14】図13に示すアクティブマトリクス型表示装置に構成されている画素の1つを抜き出して示す平面図である。

【図15】図15(A)、図15(B)、図15(C)はそれぞれ、図14のA-A'線、B-B'線、およびC-C'線に相当する位置での断面図である。

【図16】本発明の実施の形態5の変形例3に係るアクティブマトリクス型表示装置の全体のレイアウトを模式的に示すブロック図である。

【図17】図16に示すアクティブマトリクス型表示装置に構成されている画素の1つを抜き出して示す平面図である。

【図18】図18(A)、図18(B)、図18(C)はそれぞれ、図17のA-A'線、B-B'線、およびC-C'線に相当する位置での断面図である。

【図19】本発明の実施の形態6に係るアクティブマトリクス型表示装置の全体のレイアウトを模式的に示すブロック図である。

【図20】図19に示すアクティブマトリクス型表示装置に構成されている画素の1つを

10

20

30

40

50

抜き出して示す平面図である。

【図21】図21(A)、図21(B)、図21(C)はそれぞれ、図20のA-A'線、B-B'線、およびC-C'線に相当する位置での断面図である。

【図22】従来および本発明の比較例に係るアクティブマトリクス型表示装置の全体のレイアウトを模式的に示すブロック図である。

【図23】図22に示すアクティブマトリクス型表示装置に構成されている画素の1つを抜き出して示す平面図である。

【図24】図24(A)、図24(B)、図24(C)はそれぞれ、図23のA-A'線、B-B'線、およびC-C'線に相当する位置での断面図である。

【図25】図25(A)、図25(B)、図25(C)はそれぞれ、比較例に係るアクティブマトリクス型表示装置における図23のA-A'線、B-B'線、およびC-C'線に相当する位置での断面図である。 10

【符号の説明】

1 … アクティブマトリクス型表示装置

2 … 表示部

3 … データ側駆動回路

4 … 走査側駆動回路

7 … 画素

10 … 透明基板

12 … 端子

20

20 … 第1のTFT

21 … 第1のTFTのゲート電極

30 … 第2のTFT

31 … 第2のTFTのゲート電極

40 … 発光素子

41 … 画素電極

43 … 有機半導体

61 … 下層側絶縁膜

62 … 上層側絶縁膜

b a n k … パンク層 (絶縁膜)

30

c a p … 保持容量

c o m … 共通給電線

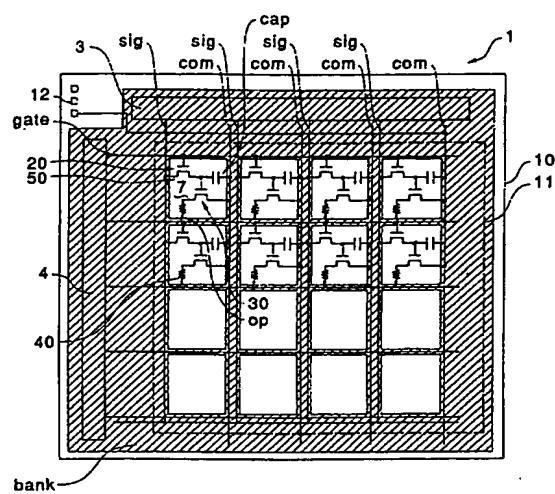
g a t e … 走査線

o p … 対向電極

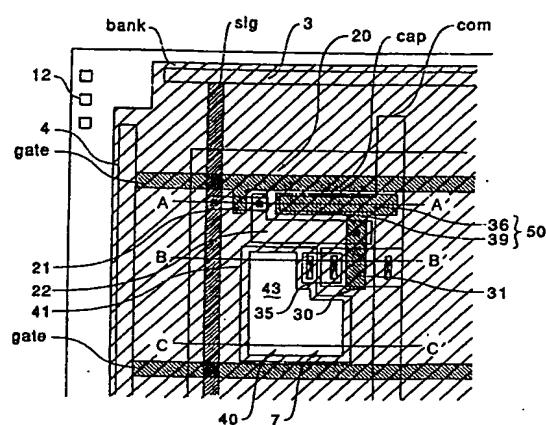
o f f … パンク層の途切れ部分

s i g … データ線

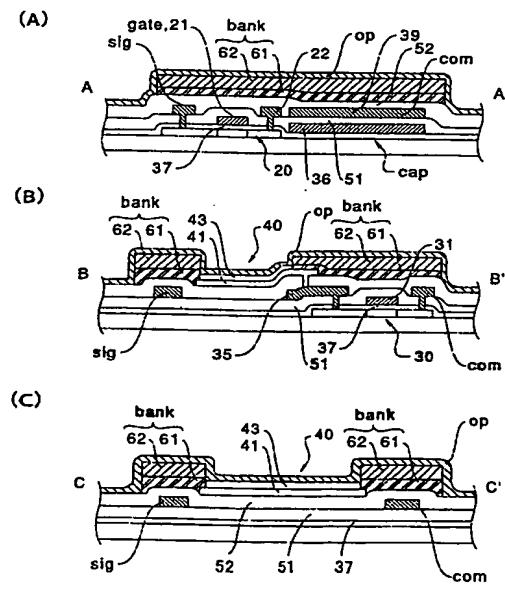
[図 1]



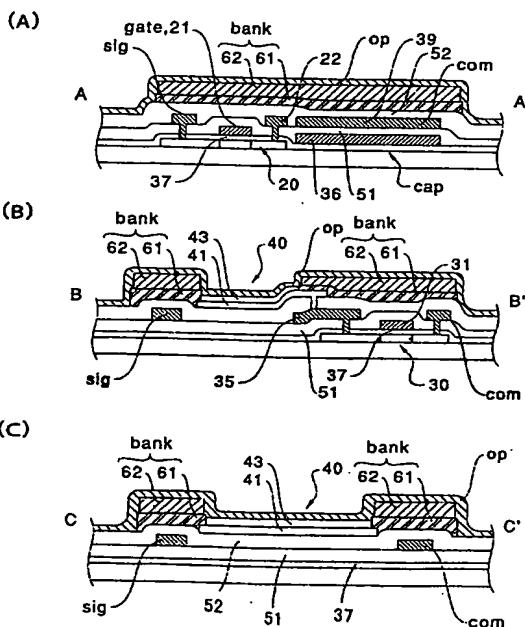
[図 2]



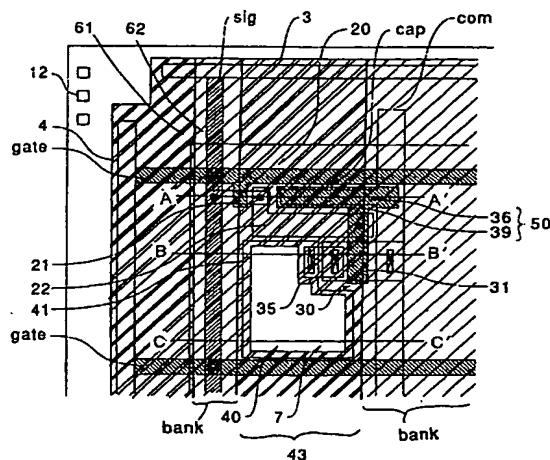
[図 3]



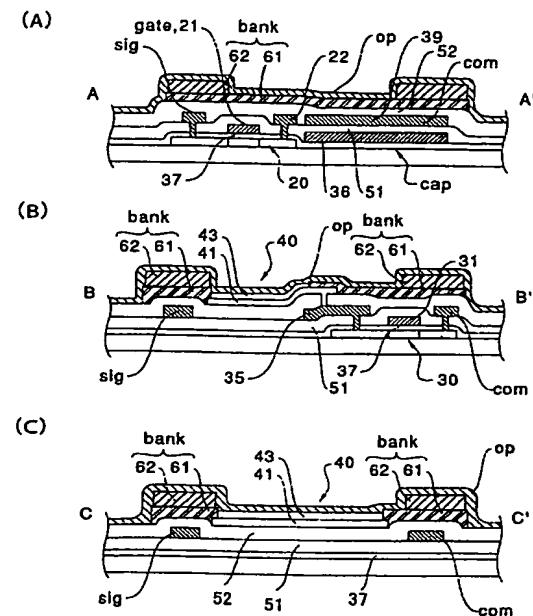
[図 4]



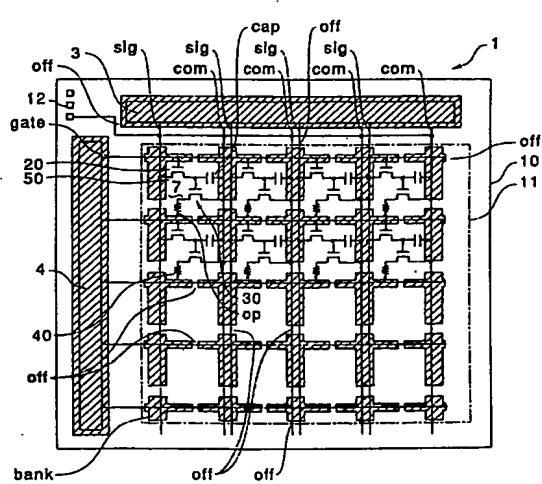
[図 5]



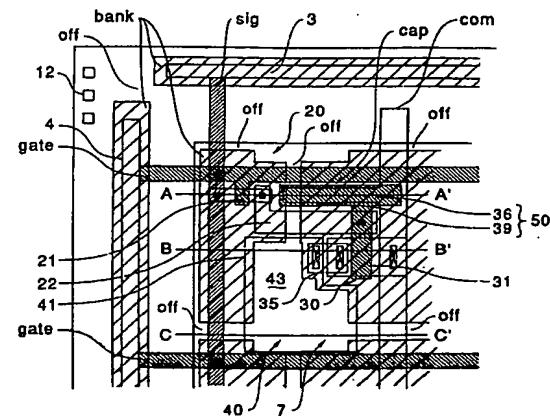
[図 6]



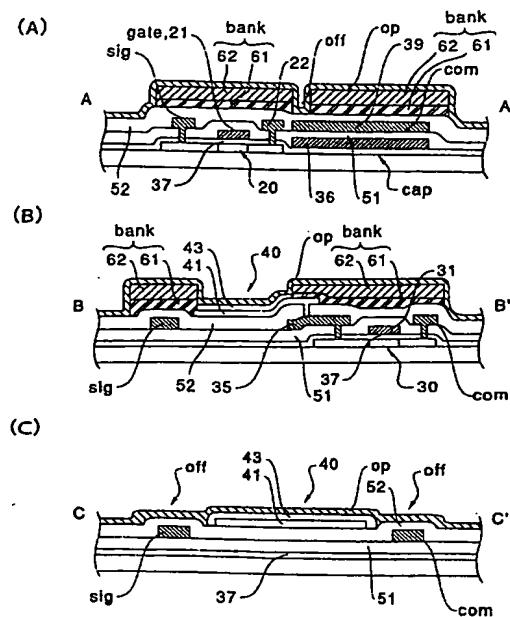
[図 7]



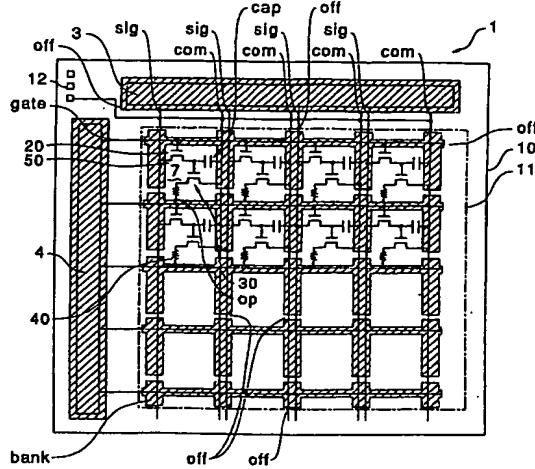
[図 8]



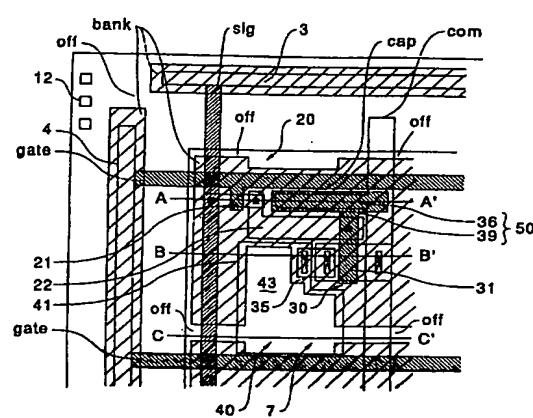
[図 9]



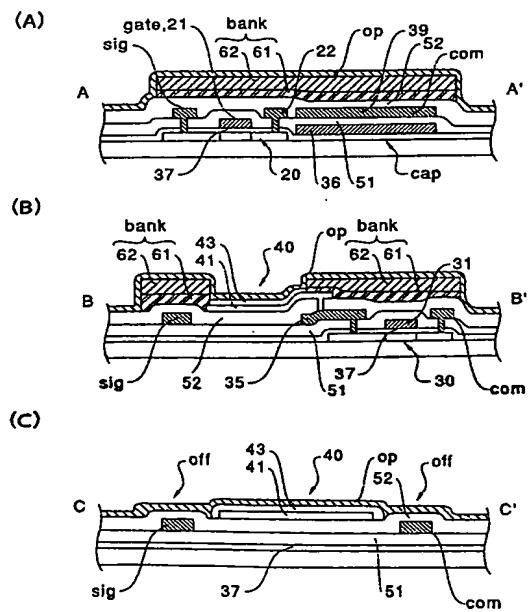
[図 10]



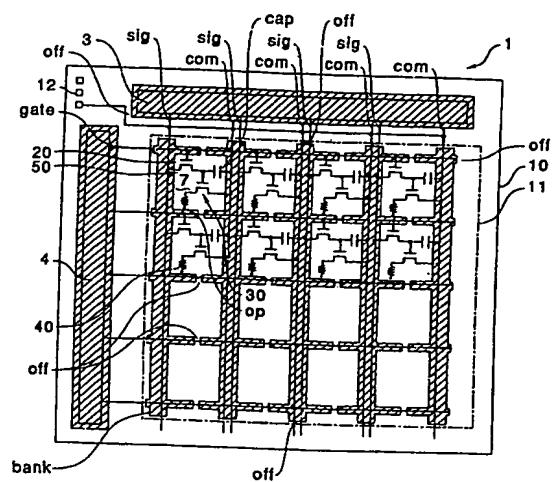
[図 11]



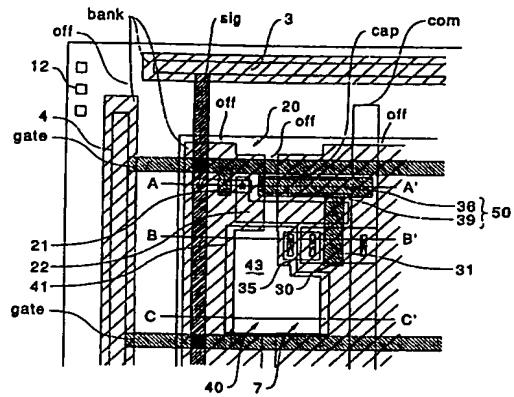
[図 12]



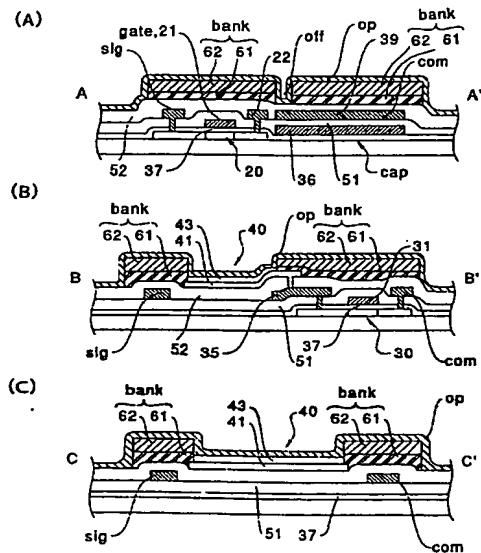
[図 1 3]



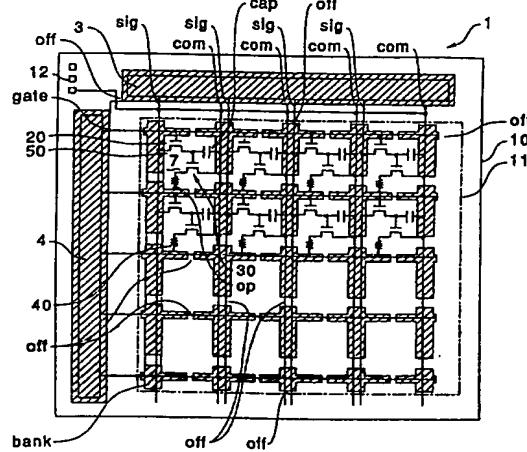
[図 1 4]



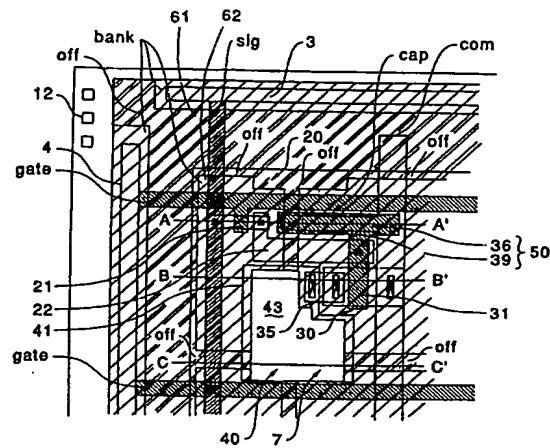
[図 1 5]



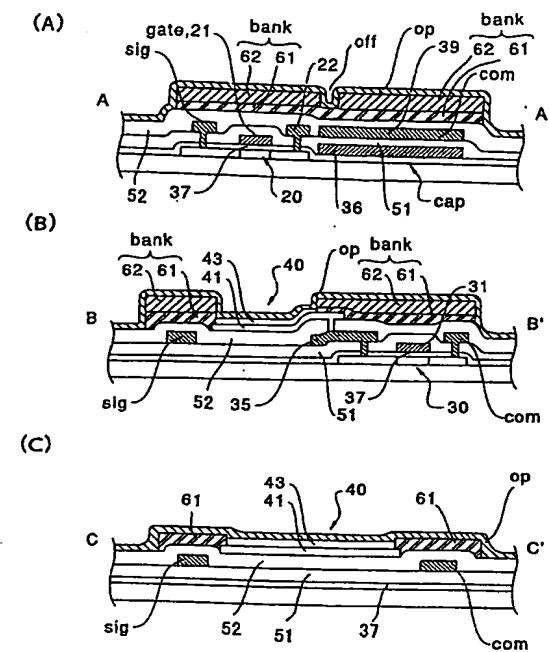
[図 1 6]



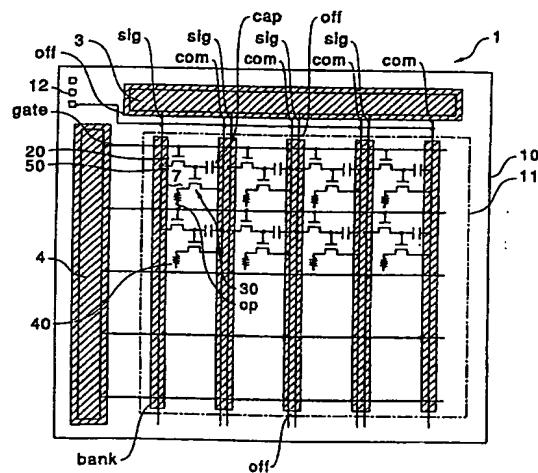
【図17】



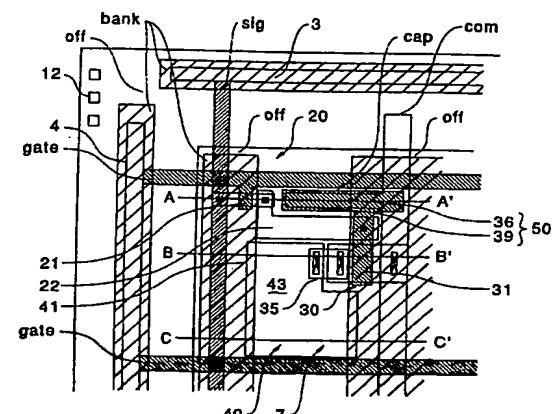
【図18】



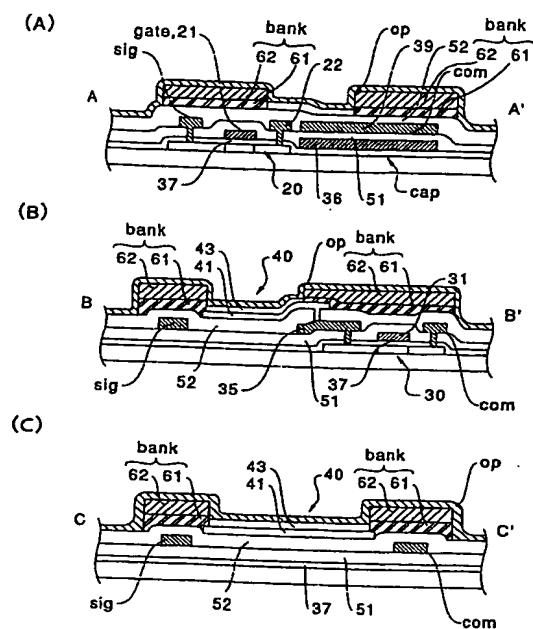
【図19】



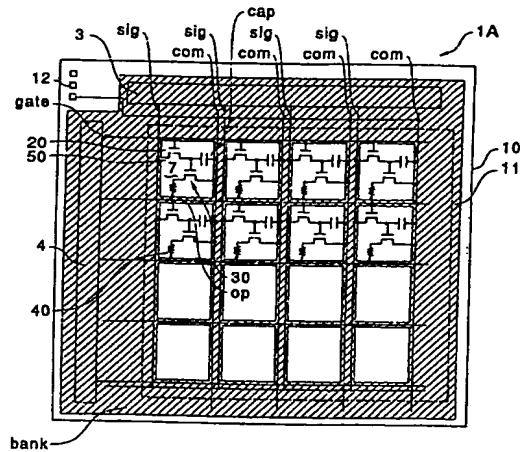
【図20】



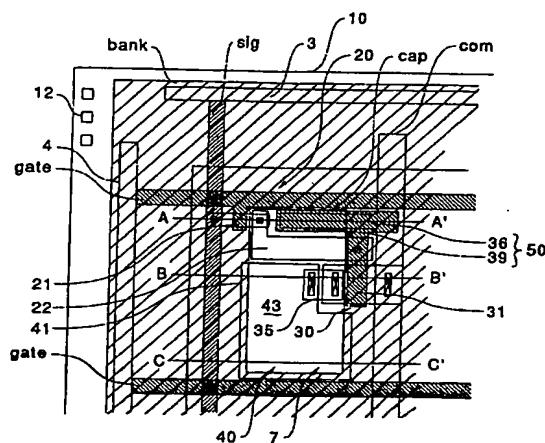
【図21】



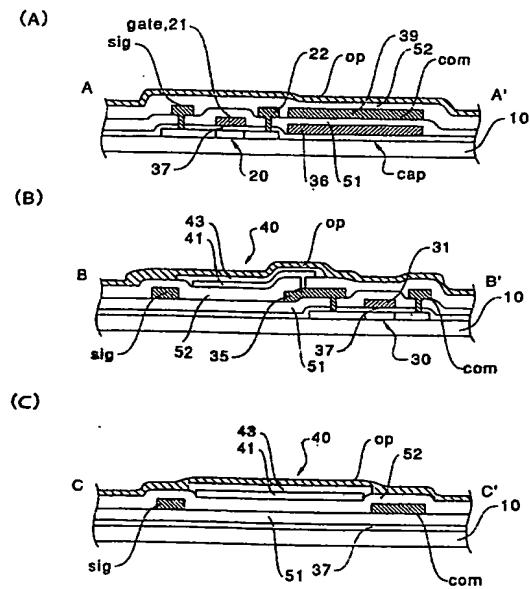
【図22】



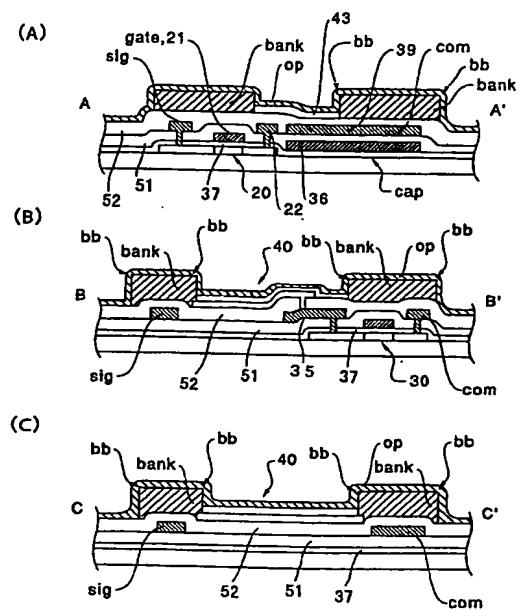
【図23】



【図24】



[FIG 25]



フロントページの続き

(51) Int. Cl. ⁷

F I

H 0 5 B 33/22 Z
H 0 5 B 33/26 Z

テーマコード (参考)

F ターム(参考) 5C094 AA04 AA07 AA09 AA13 AA22 AA31 AA42 AA43 AA48 AA53
AA55 BA03 BA27 CA19 DA09 DA13 DA15 DB01 DB03 EA04
EA05 EA07 EB02 FA01 FA02 FB01 FB12 FB15 FB19 FB20

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.